

УДК 681.3

ЛОГИЧЕСКОЕ ПРОЕКТИРОВАНИЕ И КВАНТОВЫЙ ВЫЗОВ¹

В. И. Варшавский,

доктор техн. наук, профессор
Университет Айдзу (Япония)

Чистая наука решает задачи, которые **МОЖНО** решить так, как их **НУЖНО** решать;
прикладная наука решает задачи, которые **НУЖНО** решить, так, как их **МОЖНО** решать.
Математический фольклор

Готова ли методология проектирования логических и вычислительных структур к эффективному использованию новых функциональных возможностей квантовых устройств? Обеспечивает ли ряд существующих и предлагаемых квантовых устройств эффективное проектирование логических и вычислительных структур? На основе примеров обсуждается возможность получения положительных ответов на эти вопросы за счет объединенных усилий физиков, технологов и экспертов в вычислительной технике. Статья указывает возможные направления, где такое взаимодействие может оказаться продуктивным.

Is the design methodology of logical and computing structures ready to efficiently use new functional possibilities of quantum devices? Does the range of existing and suggested quantum devices provide effective design of logical and computing structures? With some examples, we discuss the possibility of obtaining positive answers to these questions uniting the efforts of physicists, technologists and experts in computer engineering. The paper indicates some directions where such collaboration may prove to be productive.

Прогресс в вычислительной технике в значительной степени связан с беспрецедентными успехами VLSI-технологии. Одной из основных компонент прогресса VLSI-технологии является постоянное уменьшение размеров конструктивных элементов VLSI. Однако при размерах конструктивных элементов меньше 0,1 мкм в их поведении начинают проявляться квантовые эффекты, что, в свою очередь, изменяет количественные и качественные характеристики их поведения. Естественно, что изменение физического поведения функциональных компонент приводит к изменению логических возможностей их использования. С одной стороны, возникают новые логические возможности, а с другой стороны, реализация некоторых традиционных подходов становится затруднительной

и неэффективной. Развитие нанотехнологии и очевидные успехи в создании и исследовании квантовых функциональных устройств [1–10]² сделали практическое использование этой технологии и этих устройств в вычислительной технике ближайшей реальностью. История развития вычислительной техники показывает, что появление новых технологий и использование новых физических принципов обычно порождает эйфорию (как правило, оправданную) у их создателей. Первые устройства создаются обычно самими технологами. Кажется, что новые возможности неисчерпаемы. Действительно, переход от микротехнологии к нанотехнологии позволяет увеличить сложность VLSI в десятки и сотни раз. Однако вспомните достаточно популярный в 70-е годы среди технологов лозунг – «Кремния не жалеть!». Отрезвление пришло до-

¹Varshavsky V. Logic Design and Quantum Challenge», Proceedings of the International Workshop on Physics and Computer Modeling of Devices Based on Low-Dimensional Structures, November 7–9, 1995; Aizu-Wakamatsu, Japan, P. 119–131.

² Библиография не претендует на полноту; выбор ссылок достаточно случаен и они лишь иллюстрируют изложение.

вольно быстро и практика реального проектирования потребовала применения достаточно изощренных методов логического проектирования. Простой пример: при 10 %-ном выходе годных кристаллов уменьшение площади на 10 % за счет применения продвинутых методов логического проектирования увеличивает выход годных кристаллов примерно в 1,25 раза. Возникают два естественных вопроса:

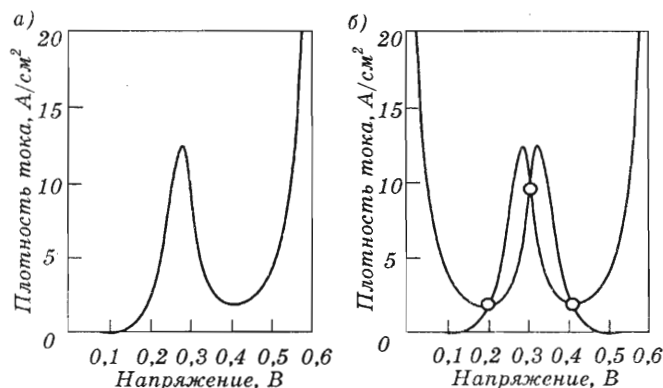
Готова ли методология проектирования логических и вычислительных структур к эффективному использованию новых функциональных возможностей квантовых устройств?

Обеспечивает ли спектр существующих и предлагаемых квантовых устройств эффективное проектирование логических и вычислительных структур?

С определенной степенью уверенности на оба эти вопроса можно ответить и «да», и «нет». Обсуждению необходимости и путей объединения усилий специалистов по логическому проектированию и специалистов по технологии и физике для увеличения уверенности в утвердительном ответе посвящена эта работа. Рано или поздно реальная практика проектирования потребует адаптации методов логического проектирования к новым технологиям. Лучше начать эту работу рано, чем поздно. К сожалению, ниже будет больше вопросов, чем ответов на них, но мы находимся только в начале того пути, который должны пройти вместе. В качестве примеров я буду использовать три типа наноустройств: резонансные туннельные диоды и транзисторы (RTD и RTT) [1–3], одноэлектронные транзисторы (SET) [4, 5] и устройства на квантовых точках (QDD) [6–10], не касаясь молекулярных устройств, а также устройств, базирующихся на технологии ядерной сборки, и ряда других, имеющих свою специфику.

Типичным отличием резонансных туннельных диодов и транзисторов от обычных микронных и субмикронных устройств является наличие падающего участка на вольт-амперной характеристике (рис. 1, а) [11], что с очевидностью изменяет характер их функционирования.

Так, простейшая пара последовательно соединенных RTD образует трехстабильную ячейку памяти (рис. 1, б). Соединение нескольких RTD позволяет получить композиционную вольт-амперную характеристику с несколькими падающими участками, что создает предпосылки к использованию таких устройств в схемах многозначной логики. Я не буду касаться здесь дискуссионных вопросов целесообразности использования многозначных систем, проблем их помехоустойчивости и поддержания требуемой точности работы элементов. Удовлетворимся словами поэта: «Если звезды зажигают, то это кому-нибудь нужно». При прочих равных условиях, по крайней мере, использование многозначных элементов памяти и многозначных соединительных линий выглядит достаточно привлекательным с точки зрения уменьшения их числа для запоминания и передачи того же объема информации. Вопрос о предпочтительности схем многознач-



■ Рис. 1. Вольт-амперная характеристика для AlGaAs/GaAs RTD [11] (а); вольт-амперная характеристика и точки равновесия для пары RTD (б)

ной логики по сравнению с двоичными схемами не столь очевиден, и ответ на него в большой степени зависит от используемого функционального базиса.

Традиционно, так или иначе, логические построения в многозначной логике базируются на алгебраической системе Поста [12, (1921)]. Исходная система Поста модифицируется в многозначный аналог нормальных дизъюнктивных форм (MVNDF). Базовыми операциями в MVNDF являются: $\max(x, y)$; $\min(x, y)$ и x^σ ($0 < x, y, \sigma < k-1$), где σ – константа;

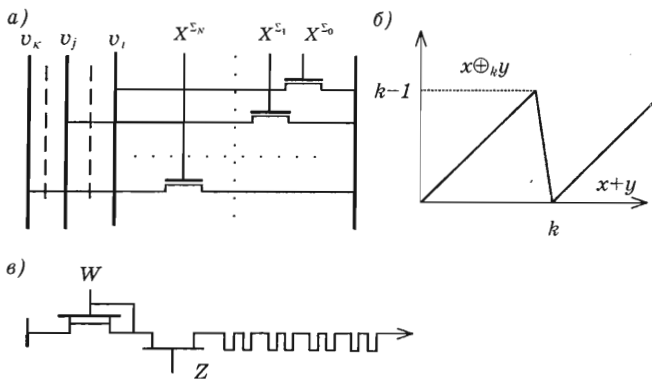
$$x^\sigma = \begin{cases} 0, & \text{если } x \neq \sigma, \\ k-1, & \text{если } x = \sigma. \end{cases}$$

Введем обозначение $X^\Sigma = \min(x_0^{\sigma_0}, x_1^{\sigma_1}, \dots, x_{n-1}^{\sigma_{n-1}})$, где X и Σ – векторы $(x_0, x_1, \dots, x_{n-1})$ и $(\sigma_0, \sigma_1, \dots, \sigma_{n-1})$ соответственно. Тогда произвольная функция k -значной логики может быть представлена в виде

$$F(X) = \max_\Sigma (\min(F(\Sigma), X^\Sigma)). \quad (1)$$

Доказательство этого утверждения тривиально. Действительно, функция X^Σ принимает максимально возможное в k -значной логике значение $(k-1)$ на одном и только на одном наборе значений переменных, а именно, на наборе $X = \Sigma$. При всех других значениях переменных $X^\Sigma = 0$. Функция $\min(F(\Sigma), X^\Sigma) = F(\Sigma)$ при $X = \Sigma$ и равна нулю во всех остальных случаях. Взятие максимума по всем Σ , за исключением, быть может, Σ , для которых $F(\Sigma) = 0$, от термов $\min(F(\Sigma), X^\Sigma)$ и порождает функцию $F(X)$.

Посмотрим на MVNDF с точки зрения схемной реализации. Функция (1) является многозначным аналогом нормальной дизъюнктивной формы в булевой алгебре. Операция x^σ – операция сравнения, многозначная по входу и бинарная по выходу. В бинарном случае ее аналогом является $x^\sigma = x \oplus \sigma$, т. е. $x^1 = x$ и $x^0 = \bar{x}$. Функция X^Σ оперирует фактически с двоичными переменными и яв-



■ Рис. 2. Выходная ступень многозначной ПЛМ (а); сумма по модулю k в k -значной логике (б) и логический элемент с немонотонной характеристикой (в) [10]

ляется не чем иным, как двоичной функцией AND от переменных x^σ . Функции X^{Σ_i} и X^{Σ_j} , $i \neq j$, взаимно ортогональны и для получения значений функции $F(X)$ достаточно реализовать «проводное или» между транзисторами, коммутирующими выходной провод с опорными напряжениями, представляющими значения функции (рис. 2, а). Нетрудно видеть, что прямая реализация MVNDF приводит нас к структуре бинарной программируемой логической матрицы (ПЛМ) с очень незначительными изменениями: на первую ступень ПЛМ подаются не значения x и \bar{x} , а значения x^σ (для N наборов значений переменных таких входных сигналов $k \log_k N$), во второй ступени коммутируются не 2, а k значений напряжения. Сложность реализации функции, заданной на N наборах значений переменных, $R_k(N)$ определяется сложностью формирования сигналов x^σ и рангом конъюнкции $X^{\Sigma}(\log_k N)$, т. е. $R_k(N) = N \log_k N + r(k) k \log_k N$, где $r(k)$ – сложность реализации операции x^σ . В бинарном случае $r(2)$ равно половине сложности реализации инвертора (x^0 – инвертор, x^1 – провод). Эффективность использования многозначной системы по сравнению с бинарной при таком подходе $(R_k(N) / R_2(N) = (N + r(k)k) / ((N+1) \times \log_2 k))$ зависит от многих факторов. Возникает естественный вопрос: можно ли увеличить эффективность реализации за счет использования специальных свойств туннельно-резонансных устройств и операций, в которых в полной мере используется многозначность?

Весьма популярными в многозначных логических построениях являются операции суммирования по модулю k . Это многозначные аналоги полиномов Жегалкина [13] (в западной литературе – канонические представления Рида–Мюллера), функция Вебба и оригинальная система Поста, использующие операцию $(1+x)_{\text{mod } k}$ и т. д. Заметим, что функция суммирования по модулю имеет падающий участок (рис. 2, б) и его наличие на вольт-амперной характеристике туннельного резонансного диода

(или транзистора) позволяет построить схемы с падающим участком на логической характеристике. Пример такого устройства приведен в работе [11] (рис. 2, в). Однако логические функциональные возможности таких элементов и методы логического синтеза с их использованием требуют специальных исследований.

Коль скоро во многих функциональных построениях используется суммирование, по крайней мере, как составляющая операции суммирования по модулю, то естественно рассмотреть возможность использования операции арифметического суммирования как компоненты логических построений. Это, в свете вышесказанного, тем более интересно, что операция арифметического суммирования является реально многозначной. Нетрудно доказать, что операция арифметического суммирования-вычитания с насыщением $S(\Sigma x_i - \Sigma y_k)$, или $S(x_1 + x_2 - y)$ в простейшем случае, где

$$S(Z) = \begin{cases} 0, & \text{если } Z < 0, \\ Z, & \text{если } 0 \leq Z \leq k-1, \\ k-1, & \text{если } k-1 < Z \end{cases}$$

(рис. 3, а) и константы образуют в логике произвольной значности функционально полную систему¹.

В качестве примера рассмотрим реализацию сумматора в этом функциональном базисе. Пусть $x_i + y_i + c_{i-1} = Z_i + kC_i$ (Z_i – сумма, C_i – перенос). Тогда (рис. 3, б–д)

$$Y_{1i} = S(x_i + y_i + c_{i-1}); \quad C_i = S(Y_{1i} - k + 1); \\ Y_{2i} = (k-1)C_i; \quad Z_i = S(x_i + y_i + c_{i-1} + Y_{2i}).$$

Наличие падающего участка на вольт-амперной характеристике может быть использовано и в бинарном случае. Например, на одном многоэмиттерном транзисторе РТГ возможна реализация немонотонных булевых функций, таких как $\varphi_2(x, y) = \overline{xy} \vee xy$ для двухэмиттерного РТГ (рис. 4, а) и $\varphi_3(x, y, z) = \overline{xyz} \vee xyz$ для трехэмиттерного РТГ (рис. 4, б) [3].

¹Доказательство этого утверждения сводится к представлению операций любой функционально полной системы суперпозицией функций $S(x_1 + x_2 - y)$.

Функция $S(X)$ фактически является обобщением бинарных мажоритарной и пороговой функций. Мажоритарная функция имеет два эквивалентных представления: как булева функция $\text{maj}(x, e, z) = xy \vee xz \vee yz$ и как пороговая функция $\text{maj}(x, e, z) = \text{sign}(x + y + z - 2)$. Прямое расширение булевского представления на многозначный случай дает функцию медианы $\text{med}(x, e, z) = \max(\min(x, y), \min(x, z), \min(y, z))$, позволяющую строить системы трехканального мажоритарного резервирования в системах любой значности, в том числе и аналоговых [24].

Для случая симметричного представления переменных $(-a < x < +a)$ функционально полной является система, $S(x+y)$, инверсия $(\bar{x} = -x)$ и константы.

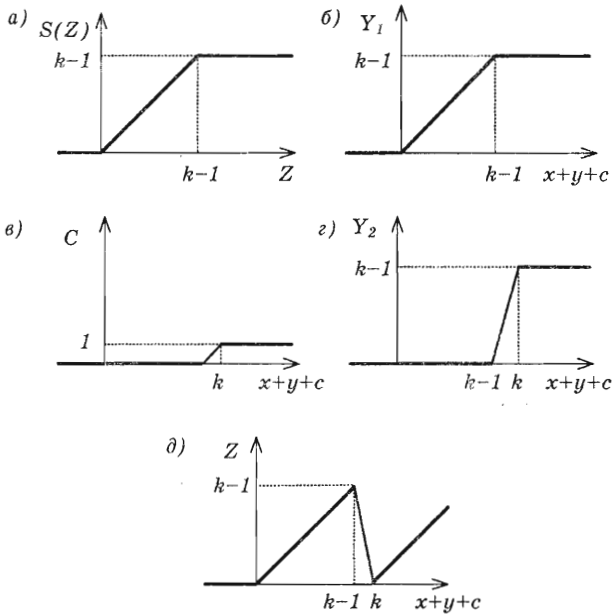


Рис. 3. Поведение функции $S(Z)$ (а) и поведение полного k -значного сумматора (б-д)

Вопрос о том, как включить подобные операции в состав базисных для регулярного метода синтеза, требует специального исследования. Однако для метода последовательного исключения переменных некоторые предварительные соображения могут быть высказаны уже здесь.

Пусть функция $F(x, Y)$ принадлежит к подклассу функций, для которых остаточные функции в разложении Шеннона по переменной x ортогональны, т. е.

$$F(x, Y) = \bar{x}F(0, Y) \vee xF(1, Y) \text{ и } F(0, Y)F(1, Y) \equiv 0.$$

Будем искать представление функции $F(x, Y)$ в виде

$$F(x, Y) = \varphi_3(x, \alpha(Y), \beta(Y)) = \bar{x}\bar{\alpha}(Y)\bar{\beta}(Y) \vee x\alpha(Y)\beta(Y).$$

Для этого достаточно решить систему уравнений:

$$\begin{cases} \bar{\alpha}(Y)\bar{\beta}(Y) = F(0, Y); \\ \alpha(Y)\beta(Y) = F(1, Y). \end{cases}$$

Одним из решений этой системы с учетом ортогональности остаточных функций¹ является:

$$\alpha(y) = F(1, Y), \beta(Y) = \bar{F}(0, Y) \text{ и}$$

$$F(x, Y) = \varphi_3(x, \alpha(Y), \beta(Y)).$$

Для произвольной булевой функции можно воспользоваться разложением Рида-Мюллера

¹ Из ортогональности $F(0, Y)$ и $F(1, Y)$ следует $F(0, Y)\bar{F}(1, Y) = F(0, Y)$ и $\bar{F}(0, Y)F(1, Y) = F(1, Y)$.

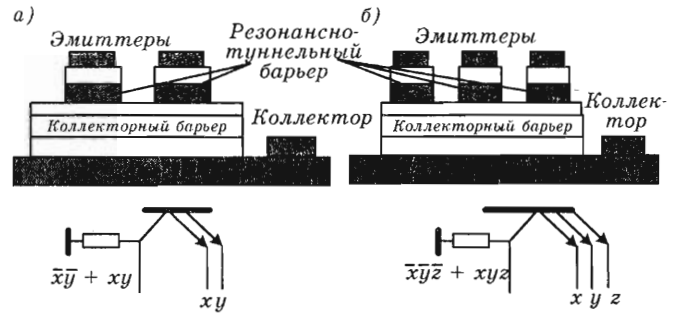


Рис. 4. Двухэмиттерный (а) и трехэмиттерный РТТ (б)

$$F(x, Y) = F(0, Y) \oplus \frac{\partial F(x, Y)}{\partial x},$$

где

$$\frac{\partial F(x, Y)}{\partial x} = F(0, Y) \oplus F(1, Y).$$

Тогда

$$F(x, Y) = \varphi_2(\bar{F}(0, Y), \varphi_3(x, \frac{\partial F(x, Y)}{\partial x}, 1))$$

и для исключения одной переменной из произвольной булевой функции требуется один двухэмиттерный и один трехэмиттерный РТТ. Дальнейшее упрощение реализации может быть осуществлено за счет представления

$$F(x, Y) = \varphi_2(\bar{F}(0, Y), \varphi_3(x, \alpha(Y), \beta(Y))),$$

где $\alpha(Y)\beta(Y) = \frac{\partial F(x, Y)}{\partial x}$ и $\bar{\alpha}(Y)\bar{\beta}(Y) = 0$.

Я абсолютно уверен, что объединение усилий специалистов по логическому проектированию, физиков и технологов позволит целенаправленно создавать новые резонансно-туннельные структуры, обладающие необычными и высокоэффективными логическими возможностями. Не являясь специалистом ни в физике, ни в технологии, я осмелюсь обратить внимание на гипотетический многоэмиттерный элемент с общим коллектором (рис. 5) с реализуемой логической функцией

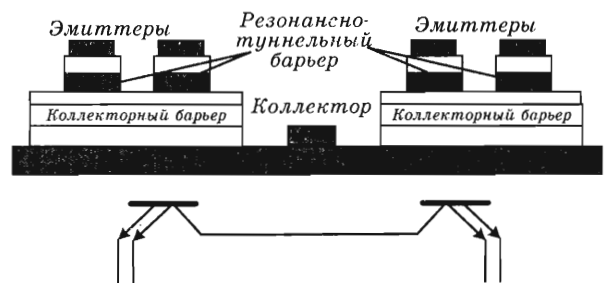


Рис. 5. Два двухэмиттерных транзистора с общим коллектором

$$f(x_1, x_2, x_3, x_4) = (\bar{x}_1 \bar{x}_2 \vee x_1 x_2)(\bar{x}_3 \bar{x}_4 \vee x_3 x_4).$$

Перспективным элементом как для бинарного, так и для многозначного случая мог бы, например, оказаться многоэмиттерный (или многоколлекторный) коммутатор, перераспределяющий токи между эмиттерами (коллекторами) в зависимости от напряжения на базе или распределения напряжения вдоль базы.

Наиболее интригующими квантовыми устройствами являются, безусловно, устройства с квантовыми точками (QDD) [6–10], обладающие, с точки зрения внешнего наблюдателя, рядом мистических свойств.

QDD, предложенные К. С. Лентом и его соавторами, представляют собой мезоскопические квантовые структуры. Элемент с квантовыми точками (QDC) – это структура из пяти квантовых точек, которая содержит два электрона и может находиться в двух устойчивых состояниях (рис. 6, а). Взаимодействие между ячейками осуществляется за счет кулоновых сил. Поляризация P элемента определяется как некоторая величина, измеряющая направления, в которых плотность заряда располагается вдоль одной из двух диагональных осей, как это показано на рис. 6;

$$P = \frac{(\rho_1 + \rho_3) - (\rho_2 + \rho_4)}{\rho_1 + \rho_3 + \rho_2 + \rho_4},$$

где ρ_i – плотность вероятности нахождения электрона в точке i . В устойчивых состояниях $P = \pm 1$.

Внешняя поляризация переключает состояние QDC (рис. 6, б). Рассмотрим простейшую линейную композицию ячеек QDC (линия, передающая информацию). Такая структура [8] может быть двух типов (рис. 6, в, г). Если к крайней QDC приложено внешнее поле, переключающее ее состояние, то элементы линии начинают переключаться и линия переходит в новое состояние с минимальной энергией. По мере удаления границы смены состояний от источника внешнего поля влияние последнего на

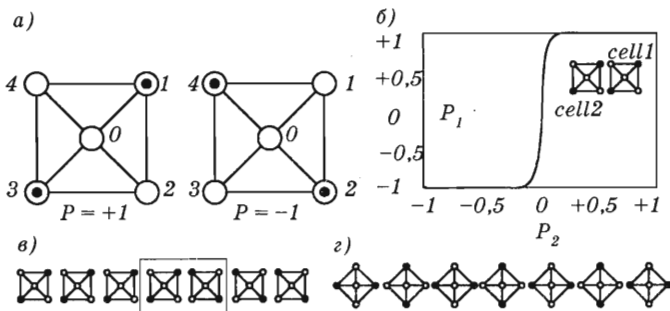
процесс переключения уменьшается. На границе смены состояний, при идеальных условиях (все геометрические размеры выдержаны абсолютно точно), в силу симметрии кулонового взаимодействия, две соседние QDC имеют нулевую внешнюю поляризацию от совокупности правых и левых соседей (выделенный контур на рис. 6, в), и сдвиг границы определяется только воздействием от внешнего источника $U(r)$, где r – расстояние от источника внешнего сигнала. При этом время переключения пропорци-

онально $\frac{1}{\epsilon} > \frac{\hbar}{\Delta U(r)}$ [14], где $\Delta U(r)$ – энергия, разделяющая два состояния (ϵ – вероятность смены состояния за единицу времени). При локальном

сдвиге границы $\Delta U(r) \xrightarrow{r \rightarrow \infty} 0$ и задержка распространения сигнала по линии с ростом n становится непрогнозируемо большой¹.

Возможно, такой вывод неправилен в силу некорректности применения использованного подхода к квантовому объекту. Если рассматривать всю линию как единое целое, то время ее переключения имеет порядок $\hbar/\Delta E$, где ΔE – энергия переключения крайней QDC линии. Однако если последнее верно, то мы приходим к совершенно поразительному выводу для логических схем на QDC (о них чуть ниже).

Пусть мы реализуем логическую функцию от n переменных. Сложность реализации растёт², как $2^n/n$, а инжектируемая энергия растёт линейно от числа переключаемых входных переменных. Тогда при росте сложности схемы как $2^n/n$ ее быстроедействие *растет* (!)³, как n . И уж совсем неясно, за счет каких сил может быть преодолен локальный энергетический барьер при наличии разветвлений линии (энергетический барьер должен возникать также при предложенном в работе [8] пересечении проводов в силу большего расстояния до предшествующей QDC, чем до последующей). Так или иначе, справедливы ли приведенные выше соображения или нет, нужно подчеркнуть: 1) вопрос о динамике поведения QDD требует специального исследования; 2) для улучшения динамических характеристик поведения и преодоления локальных энергетических барьеров в точках разветвления линий передачи сигналов необходима подкачка энергии (использование усилителей). Это следует из общих представлений об энергетике информационных процессов [13] и понятия произведения мощности на скорость. Такие усилители, по-видимому, могут



■ Рис. 6. Две QDC в двух состояниях (а), зависимость поляризации элемента cell1 от внешней (cell2) поляризации (б), возможные линейные конфигурации из QDC (в, г)

¹ Что, по-видимому, и позволило Ленту с соавторами сделать следующее утверждение: «вычисления на границах не требуют ни энергии ни информации для передачи непосредственно внутрь элементов» [6].

² Асимптотически по n .

³ Воистину «торжество науки над здравым смыслом».

					x_1	-1	1	-1	1	-1	1	-1	1	-1	1	-1	1	-1	1		
					x_2	-1	-1	1	1	-1	-1	1	1	-1	-1	1	1	-1	-1	1	1
					x_3	-1	-1	-1	-1	1	1	1	1	-1	-1	-1	-1	1	1	1	1
p_1	p_2	p_3	p_Y	Y		-1	-1	-1	-1	-1	-1	-1	-1	1	1	1	1	1	1	1	1
1	1	1	1	F_1		-4	-2	-2	0	-2	0	0	2	-2	0	0	2	0	2	2	4
1	1	0,5	1	F_2		-3,5	-1,5	-1,5	0,5	-2,5	-0,5	-0,5	1,5	1,5	0,5	0,5	2,5	-0,5	1,5	1,5	3,5
1	1	0	1	F_3		-3	-1	-1	1	-1	-1	-1	1	-1	1	1	1	-1	1	1	3
1	1	-0,5	1	F_4		-3,5	-1,5	-1,5	0,5	-3,5	-0,5	-0,5	1,5	-0,5	1,5	1,5	3,5	-0,5	1,5	1,5	3,5
1	1	0,5	1	F_5		-2,5	-0,5	-0,5	1,5	-2,5	-0,5	-0,5	1,5	-0,5	1,5	1,5	3,5	-0,5	1,5	1,5	3,5
1	1	1	0,5	F_6		-3,5	-1,5	-1,5	0,5	-1,5	0,5	0,5	2,5	-3,5	-1,5	-1,5	0,5	-1,5	0,5	0,5	2,5

быть созданы на базе одноэлектронных транзисторов [4, 5], управляемых квантовыми точками [15].

Рассмотрим совокупность логических ячеек QDC (рис. 7). Общая идея построения логических QDD состоит в суммировании воздействий на QDC ее соседей и в ее переключении в зависимости от суммарного внешнего воздействия. Базовым логическим элементом является трехвходовый мажоритарный элемент (рис. 7, а). Заметим, что, как уже отмечалось выше, в силу симметрии кулоновских взаимодействий влияние соседней QDC, являющейся выходной, ничем не отличается от влияния входных QDC. Поэтому в действительности логический элемент на рис. 7, а реализует логическую функцию не трех, а четырех переменных. Влияние выходной QDC является обратной связью по состоянию, и логический элемент (при соответствующем проектировании) обладает памятью.

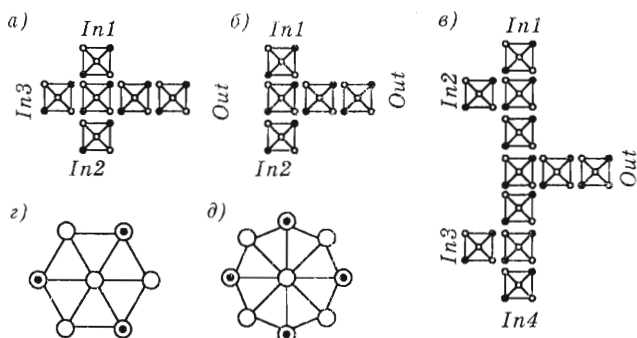
В таблице x_i – входы логической QDC, Y – ее выход, p_i – коэффициент влияния входной QDC (уменьшаемый, например, удалением от логической QDC), p_3 со знаком (\pm) – постоянное внешнее поле. В таблице приведены значения суммарной внешней поляризации в зависимости от поляриза-

ции входных и выходной QDC для различных коэффициентов влияния p_3 .

Функция F_1 соответствует «мажоритарному элементу» на рис. 6, а. Логическая функция задана на наборе своих значений и значений входных переменных $\{-1, +1\}$. Формально, при значениях внешней поляризации, равных нулю¹, функция не определена². Предполагается, что при этих значениях состояние логической QDC будет переключаться в направлении общего состояния схемы с минимальной энергией. В этом и только в этом случае устройство реализует мажоритарную функцию. Однако опять, как и в случае линии из QDCов, возникает вопрос о времени достижения финального состояния. Удаление одной из входных QDC (уменьшение влияния) делает логическую QDC всюду определенной, но изменяет реализуемую логическую функцию. Из таблицы следует, что F_2 – F_5 представляют одну и ту же функцию и достаточно рассмотреть F_3 (рис. 7, б). Вопреки утверждению [7], F_3 представляет собой не элемент AND(OR), а двухвходовый С-элемент Маллера с собственной функцией $F_3 = x_1 x_2 \vee F_3(x_1 \vee x_2)$. Многовходовой С-элемент Маллера строится очевидным образом (рис. 7, в) и имеет функцию

$Y = \bigwedge_i x_i \vee Y(\bigvee_i x_i)$. С-элемент обладает памятью, весьма важен во многих практических применениях (синхронизаторы, конвейеры и т. д.), но он вместе с инвертером не образуют функционально полной системы элементов.

Для исключения неопределенных состояний (состояний с нулевой внешней поляризацией) возможны, по крайней мере, два пути:



■ Рис. 7. Мажоритарный элемент из [8] (а), двухвходовый С-элемент Маллера (б), четырехвходовый С-элемент Маллера (в), возможные (?) многоэлектронные QDC (г, д)

¹ Обеспечение равенства нулю суммарной внешней поляризации, безусловно, требует очень высокой точности поддержания геометрических размеров; ошибки в геометрических размерах могут сдвигать суммарное внешнее воздействие в любую сторону, создавая, как, впрочем, и в случае линии, локальный энергетический барьер.

² Это связано, в частности, с тем, что для четного числа переменных мажоритарная функция не определяется.

1) исключение влияния выходной QDC для нечетного числа входных QDC, например, включением усилителя; в этом случае трехвходовый логический элемент действительно реализует мажоритарную функцию без неопределенных состояний (F_6 в таблице);

2) использование элементов с четным числом входов; в этом случае, с учетом влияния выходной QDC, внешнее воздействие всегда имеет определенное ненулевое значение. Что, в частности, принципиально ослабляет требования к точности геометрических размеров.

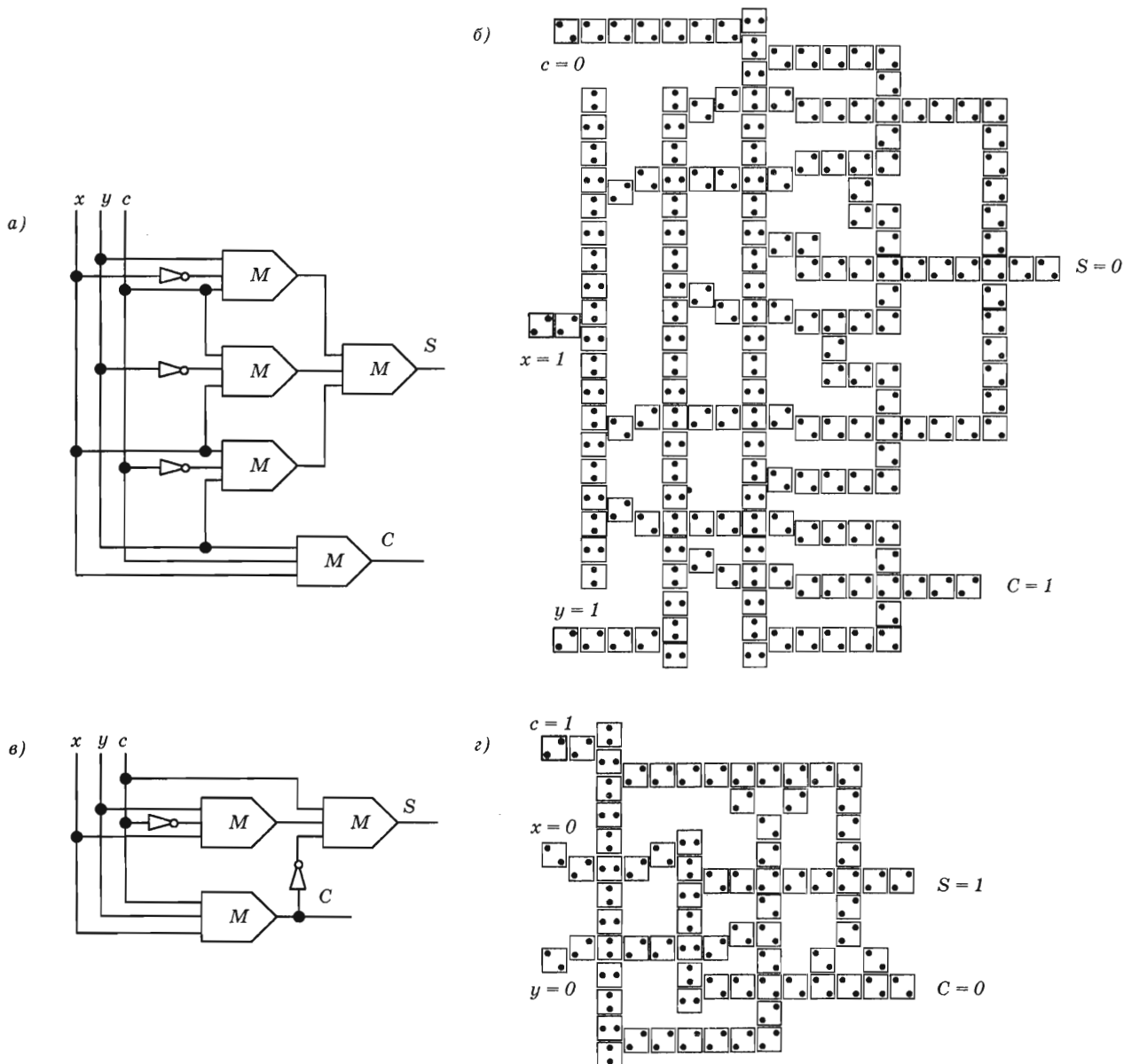
Здесь возникает вопрос к физикам: «Возможно ли создание многоточечных элементов, имеющих $2n$ (или $2n+1$) квантовых точек и n электронов,

аналогичных 4(5)-точечных устройств (например, типа рис. 7, в, з)?»

Если такие устройства могут быть созданы и могут эффективно управляться за счет суммирования поляризаций их соседей, то справедливо следующее:

1) $(2k-1)$ -входовый $2n$ -точечный элемент ($2nQDC$), $k < n$, при исключенном влиянии выходной QDC реализует мажоритарную функцию $(2k-1)$ переменной – $Y = S_{2k-1}^{k-1}$;

2) $2(k-1)$ -входовой $2nQDC$ с учетом влияния выходной QDC является H -триггером [16], т. е. схемой с памятью и логическим уравнением – $Y = S_{2k}^k \vee YS_{2k}^{k-1}$, где



■ Рис. 8. Логическая структура и QDD полного сумматора [8] (а, б), логическая структура и QDD нового полного сумматора (в, з)

$$S_n^k = \begin{cases} 0, & \text{если } \sum x_i \leq k, \\ 1, & \text{если } \sum x_i > k, \end{cases}$$

– монотонная симметрическая функция n переменных.

При этом весьма привлекательным выглядит четырехходовый 6QDC с уравнением

$$Y = x_1x_2x_3 \vee x_1x_2x_4 \vee x_1x_3x_4 \vee x_2x_3x_4 \vee Y(x_1x_2 \vee x_1x_3 \vee x_1x_4 \vee x_2x_3 \vee x_2x_4 \vee x_3x_4),$$

обладающий памятью и богатыми функциональными возможностями. В частности, при разветвлении выхода (наличии двух выходных QDC) – это трехходовый С-элемент без энергетического барьера на выходном разветвлении, а при $x_4 = 1$ – мажоритарный элемент с индикацией спейсера.

В отсутствие памяти QDD носят в большинстве публикаций название «клеточные автоматы» лишь по недоразумению. Фактически это обычные логические схемы. Так, в качестве примера QDD в большом числе публикаций приводится полный сумматор (рис. 8, а, б). Если гипотезы о работоспособности основных принципов, положенных в основу его реализации, справедливы, то взгляд на него как на обычную логическую схему позволяет стандартными методами логического проектирования получить гораздо более простое решение (рис. 8, в, г).

«Природа коварна, но не злонамеренна». Свойства объектов, с которыми мы работаем, не бывают плохими или хорошими, полезными или вредными. Есть свойства, которые мы умеем использовать, и свойства, которые мы использовать не умеем. В этом смысле симметрия кулоновского взаимодействия является свойством, эффективное использование которого ждет своего исследования. Мы уже отметили, что симметрия взаимодействия позволяет вводить память в логические элементы. Кроме того, деление внешних полюсов QDD на входы и выходы условно и определяется только наличием или отсутствием внешнего воздействия (при отсутствии встроенных усилителей, делающих взаимодействие однонаправленным). Именно здесь кроются, с моей точки зрения, совершенно уникальные возможности по созданию действительно клеточных автоматов. Однако пока это не более, чем мысли вслух и добрые пожелания. С другой стороны, мне хотелось бы еще раз акцентировать внимание на проблемах динамики и информационно-энергетических соотношений. Мне кажется, что без введения усилителей, обеспечивающих подкачку энергии, однонаправленность передачи информации (особенно в схемах с не кулоновскими, а с информационными обратными связями) и повышающих определенность смены состояний, перспектива создания компьютера на QDD кажется достаточно сомнительной. Более того, композиция QDD и SET (одноэлектронных транзисторов), если

она осуществима технологически, обещает поразительные функциональные возможности.

Одной из ключевых проблем создания VLSI новых поколений является проблема синхронизации. Традиционно эта проблема решалась и решается путем использования внешних часов, сигналы от которых инициируют очередной шаг работы устройства и маскируют переходный процесс. При этом интервал между сигналами времени должен перекрывать возможные вариации длительностей переходных процессов. По мере уменьшения размеров конструктивных элементов и роста сложности VLSI такой подход начал сталкиваться с непрерывно возрастающими трудностями. Эти трудности связаны как с построением собственно системы доставки сигналов времени ко всем точкам синхронизации (точность доставки, связанная с собственными задержками проводов в системе доставки; мощность, необходимая для транспортировки сигналов времени с нужной скоростью, и т. д.), так и с увеличивающейся ролью задержек в соединительных проводах и разбросом этих задержек. Переход к наноструктурам в значительной мере усугубляет эти проблемы. Во-первых, просто за счет увеличения сложности VLSI и увеличения быстродействия активных элементов, требующих для использования этого быстродействия более высокой точности системы синхронизации. Во-вторых, переходные процессы в устройствах, имеющих квантовую природу, по сути своей имеют случайные длительности, что делает предельно неэффективным использование для их синхронизации длительности такта, ориентированного на худший случай. Выходом из этого положения является использование методологии самосинхронизации [16, 17]. Общая идея самосинхронизации (или логической синхронизации [18]) связана с отказом от использования внешних часов и организации поведения устройств во времени за счет организации логического взаимодействия между событиями в устройствах, отражающего причинно-следственные связи между этими событиями.

При недостаточной длительности цикла синхронизации переходный процесс может не уложиться в это время. В силу неблагоприятного сочетания задержек некоторые выходы либо «не успеют» изменить свое состояние, либо изменят его на неправильное (состязания или гонки). Для предотвращения ошибок синхронизации необходимо либо выбирать период синхронизации настолько большим, чтобы все переходные процессы заведомо завершились, либо уметь определять моменты их завершения. Наличие сигнала окончания переходного процесса позволяет инициировать следующий такт работы, и длительность каждого цикла при этом адаптируется к реальным задержкам в устройстве.

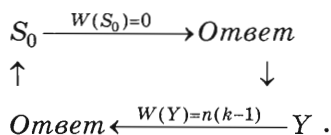
Процедура определения моментов окончания переходных процессов (процессов перехода схемы

(устройства) из одного состояния в другое) связана со специальным (самосинхронным) кодированием состояний. Основа самосинхронного кодирования восходит к идеям эквидистантного кодирования, при котором расстояния от данного кода до всех кодов, достижимых из него за один переход, равны. Самосинхронные коды (ССК) для двухзначного случая изучены достаточно подробно [16, 19]. Однако, коль скоро мы коснулись выше возможности построения многозначных систем на резонансно-туннельных диодах и транзисторах, имеет смысл рассмотреть возможность построения ССК для многозначных переменных¹. Для простоты рассмотрим применение многозначных ССК для параллельной передачи n -разрядного k -значного кода.

Мы будем называть весом кода $X = \{x_0, x_1, \dots, x_{n-1}\}$ величину $W(X) = \sum_0^{n-1} x_j$, а расстоянием по Хеммингу между двумя кодами $X = \{x_0, x_1, \dots, x_{n-1}\}$ и

$Y = \{y_0, y_1, \dots, y_{n-1}\}$ величину $H(X, Y) = \sum_0^{n-1} (x_j \oplus_k y_j)$, где операция \oplus_k обозначает сумму по модулю k .

Простейшим примером ССК является парафазный код (ПК). В этом коде каждому разряду соответствуют два провода ($y_j = x_j$ и $\hat{y}_j = k-1-x_j$) и число передается (кодируется) $2n$ -разрядным кодом, в котором все кодовые наборы равновесны ($W(Y) = n(k-1)$). В кодовую систему вводится дополнительный минимальный кодовый набор S_0 – спейсер, с весом $W(S_0) = 0$, где $S_0 = \{s_j = 0, \hat{s}_j = 0\}$; в равной мере в качестве спейсера может быть использован и максимальный кодовый набор $S_1 = \{s_j = k-1, \hat{s}_j = k-1\}$, $W(S_1) = 2n(k-1)$. Протокол самосинхронного обмена содержит четыре фазы (с учетом запрос-ответного взаимодействия):



Преимуществами ПК является простота кодирования и декодирования (кодирование сводится к вычислению значения идентификатора, декодирование совпадает с индикацией момента окончания переходного процесса) и возможность независимой индикации моментов окончания переходных процессов в каждой паре проводов². Однако избыточность кода при этом высока и равна 1.

Снижение избыточности может быть достигнуто за счет введения более изопренного кодирования. Та-

ким кодом, например, является оптимальный равновесный код (ОРК или код Спернера), включающий в качестве кодовых наборов все коды с $W(Y) = \lfloor kn/2 \rfloor$. Асимптотическая по n и k ($n \rightarrow \infty, k \rightarrow \infty$) избыточ-

ность ОРК³ равна $\frac{1}{2n} \log_k n$. Из-за чрезвычайно сложных процедур кодирования и декодирования ОРК может быть использован для кодирования состояний, но не может быть рекомендован для информационного обмена.

Невысокой избыточностью при достаточно простых процедурах кодирования-декодирования обладает код с идентификатором (КИ). КИ $Y = \{X, Z\}$ состоит из двух частей: собственно n -разрядного k -значного кода $X = \{x_0, x_1, \dots, x_{n-1}\}$ и идентификатора $Z = \{z_0, z_1, \dots, z_{m-1}\}$ – m -разрядного k -значного кода числа I такого, что

$$I = \sum_0^{m-1} k^j z_j = n(k-1) - \sum_0^{n-1} x_j.$$

Нетрудно видеть, что если вес кода вычисляется как

$$W(Y) = \sum_0^{n-1} x_j + \sum_0^{m-1} k^j z_j,$$

то КИ является равновесным кодом ($W(Y) = n(k-1)$), самосинхронным в протоколе со спейсером. Избыточность КИ имеет порядок $\frac{1}{2n} \log_k n$, более точно

$$m = \lceil \log_k n(k-1) \rceil, \quad r = \frac{n+m}{n} - 1 = \frac{1}{n} \lceil \log_k n + \log_k (k-1) \rceil.$$

Существование ССК создает принципиальную основу для самосинхронизации как двоичных, так и многозначных схем и устройств⁴. Однако этого недостаточно для решения задачи самосинхронизации.

Для того чтобы протокол обеспечивал корректную индикацию завершения переходного процесса по факту достижения финального состояния перехода, необходимо также обеспечить монотонность изменения веса ССК. Для бинарного случая процедуры, обеспечивающие такую монотонность, известны и изучены. Например, использование функциональных элементов с монотонной собственной логической функцией (например, элементов NOR

³ Для двоичных кодов доказано, что ОРК обладает наименьшей избыточностью среди всех ССК. Для многозначных кодов такое предположение кажется правдоподобным, но не доказано.

⁴ При этом для индикации момента достижения финального состояния перехода может быть использован как четырехфазный протокол со спейсером, так и двухфазный протокол с искусственным спейсером в индикаторе устройства, в котором ССК используется для кодирования изменений в коде состояния («кодирование в изменениях» [17]).

¹ Насколько мне известно, вопрос о самосинхронизации в многозначных системах не изучался.

² Сигнал y является многозначной инверсией сигнала x и может быть эффективно использован в логических построениях.

и NAND) совместно с парафазным представлением переменных обеспечивает монотонное изменение веса индицируемого ССК в протоколе со спейсером. Однако введение в функциональный базис элементов с немонотонной функцией (например, многоэмиттерного RTT), в силу возможности возникновения функциональных состязаний, являющихся свойством не реализации, а собственной функции элемента, требует использования специальных дисциплин изменения сигналов на входах и внутри устройства. Эти проблемы усугубляются в многозначном случае. Возможно, путь к преодолению этих трудностей лежит в направлении создания протоколов с частично немонотонными переходами, при которых допустимы колебания веса индицируемого ССК (реализация, не свободная от состязаний, или реализация с многократным переключением переменной в течение переходного процесса), но пороговый вес ССК достигается только в терминальном состоянии. Примеры таких переходов могут быть построены в классе неполумодулярных схем, не зависящих от скорости, по классификации Маллера [25]. Однако общие вопросы синтеза таких устройств не изучены.

Достижение терминального состояния, вообще говоря, не означает завершения переходных процессов. Терминальным по данному переходу может быть и подмножество состояний с одним и тем же характеристическим кодом. Серьезные проблемы возникают, когда провод или отрезок провода начинает выступать как компонент устройства. Методология самосинхронизации использует гипотезу Маллера относительно задержек в проводах – *вся задержка провода приведена к выходу элемента, а разброс задержек в проводах после разветвления можно пренебречь*. В этом случае провода вообще исключаются из рассмотрения. Нарушение гипотезы Маллера приводит к нарушению причинной обусловленности поведения, являющейся логической основой самосинхронизации. Причинная обусловленность требует, чтобы каждое событие в системе являлось причиной, по крайней мере, одного другого события (свойство индицируемости самосинхронных систем [16, 17]). В логических структурах, в отличие от систем передачи, изменение состояния отрезка провода после разветвления может не приводить к переключению логического элемента и, следовательно, не индицироваться. При этом отрезок провода начинает выступать как элемент памяти. Для борьбы с этим, т. е. для построения схем, не зависящих от задержек в проводах, необходимо использование либо специальных дисциплин переключения (что сужает класс реализуемых схем), либо использование специальных логических или топологических конструкции, как, например, изохронные разветвления [20, с. 270–272] или разветвления полем [17, с. 261], требующих введения новых гипотез или/и приемов проектирования, зависящих от технологии. Эта проблема усугубляется

с ростом влияния задержек в проводах и дисперсии этих задержек (что и имеет место в квантовых структурах). Быть может, проблема синхронизации окажется ключевой для эффективного использования будущей квантовой электроники в вычислительной технике.

Конечно, я коснулся здесь лишь нескольких примеров возможных квантовых систем. Спектр обсуждаемых возможных подходов принципиально шире. В равной мере рассмотренные примеры из области логического проектирования не покрывают всего многообразия проблем. Как я уже отмечал выше, это только приглашение к диалогу. Уместно отметить здесь, что квантовая механика более полувека тому назад сформулировала свои требования к логике [21]¹. Язык и модели сетей Петри, широко используемые сегодня в вычислительной науке и технике, первоначально (в 1960–1962 гг.) создавались Карлом Адамом Петри как общая модель взаимодействия физических событий, и лишь затем были применены к событиям в автоматах [22]. Предсказанный 35 лет назад в известной лекции Феймана [23] переход к организации вычислительных процессов на квантовом уровне стоит на пороге, и наша общая задача – восполнить лакуны, которые затрудняют этот переход.

Возможно, ряд утверждений и предположений, высказанных выше, выглядят наивными с точки зрения физика. Более того, быть может, кое-что, с точки зрения физика, вообще неверно. В этих случаях автор просит прощения за неквалифицированное вторжение в чужую область. Ошибки простительны неопытным. Однако, так или иначе, но анализ логических возможностей будущих квантовых устройств ставит множество вопросов² и задач, отдельные из которых сформулированы выше. Вопросы друг к другу и ответы на них или совместный поиск этих ответов позволят, я надеюсь, объединить усилия физиков, технологов и логических проектировщиков для целенаправленной работы в области создания эффективных квантовых вычислительных устройств будущего. Желание обратить внимание на существование областей взаимных интересов и было основным побудительным мотивом написания этой работы.

В работе имеется ряд скептических высказываний по поводу клеточных автоматов на квантовых точках. Однако именно работы Лента и других во многом стимулировали интерес автора к этой области и желание работать в ней.

¹ Интересно отметить, что отношение импликации в системе L логик фон Неймана «определяет частичное упорядочение L ». С другой стороны, частично упорядоченные системы составляют основу многих наиболее популярных моделей в логическом и архитектурном проектировании компьютеров.

² Говорят, что не бывает глупых вопросов, бывают глупые ответы.

Автор выражает глубокую признательность коллегам по Университету Айдзу профессорам Виктору Рыжему, инициировавшему интерес автора к проблемам логического проектирования квантовых устройств, Григорию Хренову, Рафа-

илу Лашевскому и Вячеславу Мараховскому за помощь, время и усилия, потраченные на обсуждение этой работы, а также Вадиму Смоленскому за помощь в подготовке рукописи.

Литература

1. Capasso F. Quantum transistors and integrated circuits// In nanotechnology/ Ed. B. C. Crandal, J. Lewis. – The MIT Press, 1992. – P. 171–197.
2. Chang C. Y., Kai F. GaAs high-speed devices. – John Wiley & Sons Inc., 1994.
3. Yokoyama N. et al. Present status and future prospects of resonant tunneling hot electron transistors/ / 2nd International Workshop on Quantum Functional Devices, Extended Abstracts, R&D Association for Future Electron Devices, May 23–25, 1995, Matsue, Japan. – P. 40–43.
4. Nakazato K. Possibility of single-electron logic devices// 2nd International Workshop on Quantum Functional Devices, Extended Abstracts, R&D Association for Future Electron Devices, May 23–25, 1995, Matsue, Japan. P. 4–5.
5. Murase K. Silicon single-electron transistors on SIMOX Substrate// Invited Talk, VLSI'95, August 30–September 1, 1995. Chiba, Japan.
6. Lent C. S., Tougaw P. D., Porod W., Berbstain G. H. Quantum cellular automata// Nanotechnology 4. 1993. P. 49–57; Jpn. J. Appl. Phys., 74 (5), 1993. – P. 3558–3565.
7. Tougaw P. D., Lent C. S., Porod W. Bistable saturation in coupled quantum-dot cells// Jpn. J. Appl. Phys., 74 (5), 1993. – P. 3558–3565.
8. Tougaw P. D., Lent C. S. Logical devices implemented using quantum cellular automata// Jpn. J. Appl. Phys. 75 (3), 1994. – P. 1818–1825.
9. Tanamoto T., Katoh R., Naruse Y. A novel quantum cellular automata logic with loop structure, Jpn. J. Appl. Phys., 33, 1994. – P. L1502–L1505.
10. Lent C. S., Tougaw P. D., Porod W. Quantum cellular automata: Computing with quantum dot molecules/ / 2nd International Workshop on Quantum Functional Devices, Extended Abstracts, R&D Association for Future Electron Devices, May 23–25, 1995, Matsue, Japan. – P. 140–143.
11. Micheel L. J., Taddiken A. H., Seabaugh A. C. Multiple-valued logic computation using micro- and nanoelectronic devices// Proc. Int. Symp. Multiple Valued Logic. IEEE, 1993. – P. 164–169.
12. Post E. L. Introduction to a general theory of elementary propositions// Amer. J. Math. – Vol. 43. – 1921. – P. 163–185.
13. Zhagalkin I. I.// Math. Collection. – Vol. 34 (1), 1927. – P. 9–28 (in Russian).
14. Mead C., Conway L. Introduction to VLSI Systems. – Addison-Wesley, 1980 (Chapter 9, Physics of Computational Systems, P. 333–371).
15. Field M. et al. Measurement of coulomb blockade with a noninvasive voltage probe// Phys. Rev. Letters/ – 70 (9). – 1993. – P. 1311–1314.
16. Self-timed control of concurrent processes/ Ed. V. Varshavsky. – Kluwer Academic Publishers, 1990 (translation from Russian issue, 1986).
17. Kishinevsky M., Kondratiev A., Taubin A., Varshavsky V. Concurrent Hardware. – John Wiley & Sons, 1994.
18. Varshavsky V., Marakhovskiy V., Chu T.-A. Logical timing (Global synchronization of asynchronous arrays)// Proceedings of First Aizu International Symposium on Parallel Algorithms/Architecture Synthesis, Aizu-Wakamatsu, Japan, IEEE Press., March 15–17, 1995.
19. Verhoeff T. Delay-insensitive codes – an overview// Distributed Computing. – 1988. – 3. – P. 1–8.
20. Formal methods for VLSI design/ Ed. J. Sttaunstrup, IFIP WG 10.5 Lecture Notes, 1990.
21. John von Neumann, Quantum Logics (strict- and probability-logics)¹, Collected works, Vol. 4. – New York, 1962. – P. 195–197.
22. Petri C. A. Kommunikation mit Automaten. Schriften fur des Rheinisch-Westfalischen Inst. fur Mathematik, Univ. Bonn, 1962.
23. Feynman R. There's plenty of room at the bottom: an invitation to enter a new field of physics// Nanotechnology/ Ed. B. C. Crandal, J. Lewis. Перепеч. из "Engineering and Science", February, 1960. The MIT Press, 1992. – P. 347–363.
24. Varshavsky V., Ivanov V., Zeitin V. USSR Inventory Certificate. № 217043, Inventory Bulletin, 15, 26.04.1968 (in Russian).
25. Miller R. E. Switching Theory. Vol. 2. – John Willey & Sons, 1965.
26. Yokoyama N. et al. Quantum Effect Devices. Potential Application of Resonant-Tunneling Hot Electron Transistors. Proc. International Conference on Advanced Microelectronic Devices and Processing, 1994.

¹ Неоконченная рукопись (1937).