

УДК 681.3

# КМОП ПОРОГОВЫЕ ЭЛЕМЕНТЫ С ФУНКЦИОНАЛЬНЫМИ ВХОДАМИ<sup>1</sup>

**В. И. Варшавский**,

доктор техн. наук, профессор

**В. Б. Мараховский**,

доктор техн. наук, профессор

университет Айдзу (Япония)

**И. С. Левин**

канд. техн. наук, профессор

Бар-Иланский университет (Израиль)

Предлагается метод увеличения функциональных возможностей порогового элемента за счет введения так называемых функциональных входов. Каждый такой вход соответствует булевой сумме (или произведению) некоторого подмножества входных переменных. Показано, что бета-управляемый пороговый элемент с функциональными входами способен реализовать произвольные монотонные булевы функции. Предложены КМОП реализации таких элементов и методы токовой стабилизации функциональных входов. Приводятся примеры реализации сложных логических функций на основе бета-управляемых пороговых элементов с функциональными входами. Представлены также результаты SPICE-моделирования поведения предложенного элемента.

*A method for increasing the functional capability of threshold elements by introducing so-called functional inputs is proposed. Each functional input corresponds to a Boolean sum (or product) of a particular subset of input variables. It is shown that introducing functional inputs enables expansion of the functional capability of beta-driven elements up to the capability to implement an arbitrary monotonic function. The CMOS based implementation of the beta-driven threshold element with newly proposed functional inputs is presented. Methods of the current stabilization of functional inputs are proposed. The paper presents examples of the SPICE simulation of the proposed threshold element behavior.*

## Введение

Не утихающий в течение десятилетий интерес к пороговым элементам и пороговой логике [1–6] вызван, на наш взгляд, во-первых, более широкими по сравнению с традиционными базисами (И, И-НЕ, ИЛИ, ИЛИ-НЕ и т. д.) функциональными возможностями порогового элемента и, во-вторых, тем, что пороговые элементы являются функциональной основой искусственных нейронных сетей.

Однако в утверждении, что пороговый базис обладает функциональными преимуществами перед традиционными базисами, содержится некоторое лукавство. Действительно, даже если синтез схем в пороговом базисе более эффективен, чем в традиционных, любая пороговая функция может быть реализована в базисе традиционных операций. Следовательно, прежде всего, эффективность использования порогового базиса непосредственно зависит от сложности реализации порогового элемента.

В работах [7–12] нами был предложен  $\beta$ -управляемый КМОП пороговый элемент, требующий только одного транзистора на функциональный вход с весом входа, определяемым шириной этого транзистора. Трудно представить себе более простую реализацию.

Основой для  $\beta$ -управляемой реализации явилось достаточно простое преобразование обычного аналитического представления пороговой функции

<sup>1</sup> Полностью статья публикуется впервые, небольшие фрагменты были опубликованы:

Varshavsky V., Marakhovsky V., Levin I. CMOS Based Beta-Driven Threshold Elements with Functional Inputs', Proceedings of the 22-th IEEE Convention of Electrical and Electronics Engineering in Israel, Tel Aviv, December, IEEE, 2002. P. 111–113.

Varshavsky V., Marakhovsky V., Levin I. Artificial Neurons Based on CMOS Beta-Driven Threshold Elements with Functional Inputs', WSEAS Transactions on Systems, Issue 2, Vol. 3. April 2004. P. 142–148.

в форме отношения [7]. В традиционном представлении пороговой функции

$$Y = \text{Sign}\left(\sum_{j=0}^{n-1} \omega_j x_j - \eta\right), \quad \text{Sign}(A) = \begin{cases} 1, & \text{если } A \geq 0 \\ 0, & \text{если } A < 0 \end{cases}$$

где  $\omega_j$  – вес  $j$ -го входа;  $\eta$  – порог.

Выделим некоторое произвольное подмножество переменных  $S$ , для которого

$$\sum_{i \in S} \omega_i = \eta. \quad (1)$$

Тогда

$$\begin{aligned} \sum_{j=0}^{n-1} \omega_j x_j - \eta &= \sum_{k \notin S} \omega_k x_k - (\eta - \sum_{i \in S} \omega_i x_i) = \\ &= \sum_{k \notin S} \omega_k x_k - \sum_{i \in S} \omega_i (1 - x_i) = \sum_{k \notin S} \omega_k x_k - \sum_{i \in S} \omega_i \bar{x}_i, \end{aligned} \quad (2)$$

откуда

$$Y = \text{Sign}\left(\sum_{j=0}^{n-1} \omega_j x_j - \eta\right) = \text{Rt}\left(\frac{\sum_{k \notin S} \omega_k x_k}{\sum_{i \in S} \omega_i \bar{x}_i}\right), \quad (3)$$

где 
$$\text{Rt}(B) = \begin{cases} 1, & \text{если } B \geq 1 \\ 0, & \text{если } B < 1 \end{cases}$$

Заметим, что в формуле (3) при физической реализации могут возникнуть проблемы, связанные с неопределенностью типа 0/0. Для исключения такой опасности достаточно сместить значение порога на некоторую величину  $0 < \delta < 1$  в исходном определении пороговой функции:

$$Y = \text{Sign}\left(\sum_{j=0}^{n-1} \omega_j x_j - \eta + \delta\right) = \text{Rt}\left(\frac{\delta + \sum_{k \notin S} \omega_k x_k}{\sum_{i \in S} \omega_i \bar{x}_i}\right), \quad (4)$$

где 
$$\text{Rt}(B) = \begin{cases} 1, & \text{если } B > 1 \\ 0, & \text{если } B < 1 \end{cases}$$

Определение (4) для  $\text{Rt}(B)$ , в отличие от (3), симметрично, что делает тривиальным инвертирование функции

$$\text{Rt}\left(\frac{\delta + \sum_{k \notin S} \omega_k x_k}{\sum_{i \in S} \omega_i \bar{x}_i}\right) = \text{Rt}\left(\frac{\sum_{i \in S} \omega_i \bar{x}_i}{\delta + \sum_{k \notin S} \omega_k x_k}\right). \quad (5)$$

Для пояснения сказанного рассмотрим численный пример:

$$\begin{aligned} Y &= \text{Sign}(x_0 + x_1 + 2x_2 + 2x_3 + 4x_4 - 6) = \\ &= x_0 x_1 x_2 x_3 + x_0 x_1 x_4 + x_2 x_4 + x_3 x_4. \end{aligned} \quad (6)$$

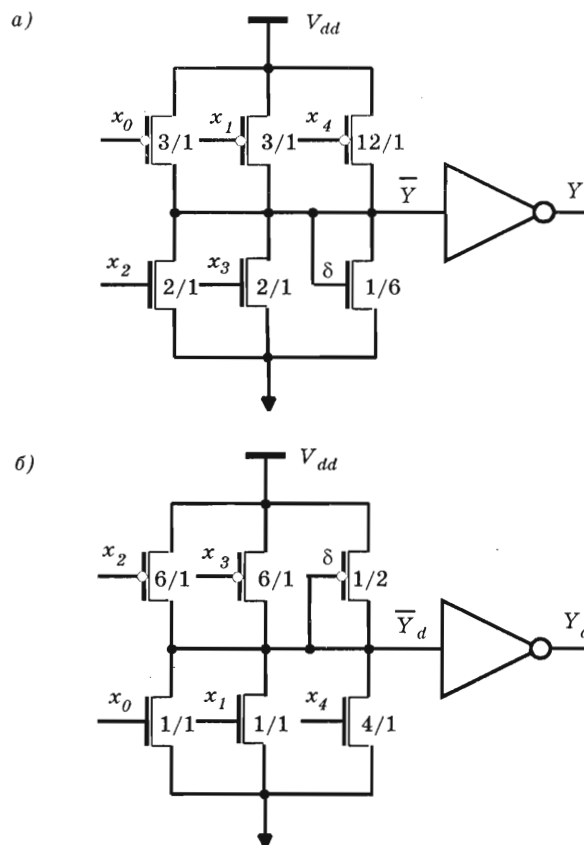
Условию (1) отвечают следующие подмножества переменных:  $\{x_0, x_1, x_2, x_3\}$ ,  $\{x_0, x_1, x_4\}$ ,  $\{x_2, x_4\}$ ,  $\{x_3, x_4\}$  и форма отношения может быть построена по любому из них

$$\begin{aligned} Y &= \text{Sign}(x_0 + x_1 + 2x_2 + 2x_3 + 4x_4 - 6) = \\ &= \text{Rt}\left(\frac{\delta + 4x_4}{\bar{x}_0 + \bar{x}_1 + 2\bar{x}_2 + 2\bar{x}_3}\right) = \text{Rt}\left(\frac{\delta + 2x_2 + 2x_3}{\bar{x}_0 + \bar{x}_1 + 4\bar{x}_4}\right) = \\ &= \text{Rt}\left(\frac{\delta + x_0 + x_1 + 2x_3}{2\bar{x}_2 + 4\bar{x}_4}\right) = \text{Rt}\left(\frac{\delta + x_0 + x_1 + 2x_2}{2\bar{x}_3 + 4\bar{x}_4}\right). \end{aligned} \quad (7)$$

Как следует из формулы (5),

$$\bar{Y} = \text{Rt}\left(\frac{\delta + 2x_2 + 2x_3}{\bar{x}_0 + \bar{x}_1 + 4\bar{x}_4}\right) = \text{Rt}\left(\frac{\bar{x}_0 + \bar{x}_1 + 4\bar{x}_4}{\delta + 2x_2 + 2x_3}\right). \quad (8)$$

Вытекающая из представления в форме отношения  $\beta$ -управляемая реализация основывается на замене отношения взвешенных сумм на отношение суммарных проводимостей  $n$ - и  $p$ -каналов КМОП элемента (рис. 1, а)<sup>1</sup>.



■ Рис. 1. КМОП реализация для отношения подвижностей носителей зарядов  $n$ - и  $p$ -транзисторов 1/3; а – для функции (8); б – для функции, двойственной (8)

<sup>1</sup> Смещение  $\delta$  обеспечивает слабый транзистор, затвор которого подключен либо к источнику опорного напряжения, либо к выходу делителя (диодное включение).

■ Таблица 1. Таблица истинности для схемы на рис. 1, а

$x_0x_1 \setminus x_2x_3x_4$	000		100		010		110		001		101		011		111	
00	6	$\delta$	6	$2+\delta$	6	$2+\delta$	6	$4+\delta$	2	$\delta$	2	$2+\delta$	2	$2+\delta$	2	$4+\delta$
	0		0		0		0		0		1		1		1	
10	5	$\delta$	5	$2+\delta$	5	$2+\delta$	5	$4+\delta$	1	$\delta$	1	$2+\delta$	1	$2+\delta$	1	$4+\delta$
	0		0		0		0		0		1		1		1	
01	5	$\delta$	5	$2+\delta$	5	$2+\delta$	5	$4+\delta$	1	$\delta$	1	$2+\delta$	1	$2+\delta$	1	$4+\delta$
	0		0		0		0		0		1		1		1	
11	4	$\delta$	4	$2+\delta$	4	$2+\delta$	4	$4+\delta$	0	$\delta$	0	$2+\delta$	0	$2+\delta$	0	$4+\delta$
	0		0		0		1		1		1		1		1	

■ Таблица 2. Таблица истинности для схемы на рис. 1, б

$x_0x_1 \setminus x_2x_3x_4$	000		100		010		110		001		101		011		111	
00	$4+\delta$	0	$2+\delta$	0	$2+\delta$	0	$\delta$	0	$4+\delta$	4	$2+\delta$	4	$2+\delta$	4	$\delta$	4
	0		0		0		0		0		1		1		1	
10	$4+\delta$	1	$2+\delta$	1	$2+\delta$	1	$\delta$	1	$4+\delta$	5	$2+\delta$	5	$2+\delta$	5	$\delta$	5
	0		0		0		1		1		1		1		1	
01	$4+\delta$	1	$2+\delta$	1	$2+\delta$	1	$\delta$	1	$4+\delta$	5	$2+\delta$	5	$2+\delta$	5	$\delta$	5
	0		0		0		1		1		1		1		1	
11	$4+\delta$	2	$2+\delta$	2	$2+\delta$	2	$\delta$	2	$4+\delta$	6	$2+\delta$	6	$2+\delta$	6	$\delta$	6
	0		0		0		1		1		1		1		1	

Функционирование схемы, представленной на рис. 1, а, ясно из табл. 1. Каждая клетка таблицы, соответствующая одному набору значений входных переменных, разделена на три подклетки. Верхняя левая подклетка содержит число единичных проводимостей открытых  $p$ -транзисторов для данного набора входных переменных. Верхняя правая подклетка содержит аналогичное число для  $n$ -транзисторов<sup>1</sup>. Нижняя подклетка содержит значение выходной функции (выхода инвертора).

Заметим, что в отличие от функции (8) перестановка  $n$ - и  $p$ -канальных частей схемы (см. рис. 1, а) с соответствующим изменением типов транзисторов и их ширин (см. рис. 1, б) не приводит к инвертированию функции. Как нетрудно видеть из табл. 2, мы получаем при этом функцию, двойственную исходной:

<sup>1</sup> Заметим, что в данном примере рассматриваются транзисторы, у которых подвижность носителей (а следовательно, и проводимость) полностью открытого  $n$ -транзистора в 3 раза выше, чем у  $p$ -транзистора при равной длине канала.

$$Y_1 = x_0x_2x_3 + x_1x_2x_3 + x_0x_4 + x_1x_4 + x_2x_4 + x_3x_4 = \text{Sign}(x_0 + x_1 + 2x_2 + 2x_3 + 4x_4 - 5). \quad (9)$$

Из определения двойственной функции и функции (6) следует

$$Y_d = \overline{x_0x_1x_2x_3} + \overline{x_0x_1x_4} + \overline{x_2x_4} + \overline{x_3x_4} = (x_0 + x_1 + x_2 + x_3)(x_0 + x_1 + x_4)(x_2 + x_4)(x_3 + x_4) = x_0x_2x_3 + x_1x_2x_3 + x_0x_4 + x_1x_4 + x_2x_4 + x_3x_4 = Y_1. \quad (10)$$

В пороговом базисе двойственная функция сохраняет веса входов, а порог вычисляется как

$$[\text{Sign}(\sum_{j=0}^{n-1} \omega_j x_j - \eta)]_d = \text{Sign}(\sum_{j=0}^{n-1} \omega_j x_j - \sum_{j=0}^{n-1} \omega_j + \eta - 1). \quad (11)$$

Здесь уместно также обратить внимание на то, что на рис. 1, б суммарная ширина  $n$ -транзисторов равна не пяти [значение порога в функции (9)], а

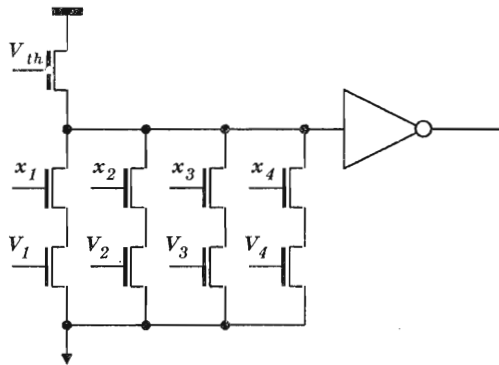


Рис. 2. Реализация пороговой функции

$$Y = \text{Sign}[\sum_{j=1}^4 \varphi_n(V_j)x_j - \varphi_p(V_{th})]$$

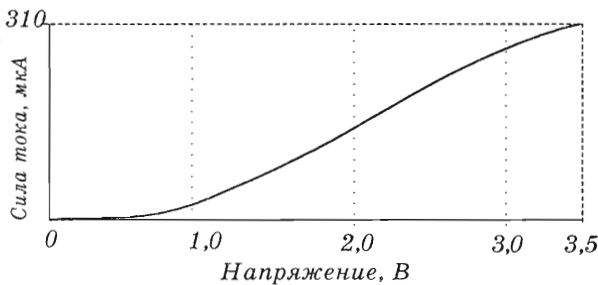


Рис. 3. Зависимость тока (пропорционального  $\beta$ ) через управляемую пару транзисторов от управляющего напряжения (результат SPICE-моделирования)

шести. Это связано с тем, что перенос слабого транзистора из  $n$ -цепи в  $p$ -цепь увеличивает порог на единицу<sup>1</sup>.

Другой и, быть может, определяющей чертой пороговых функций является их функциональная пластичность, т. е. возможность изменения реализуемой пороговым элементом функции простым изменением весов входов и порога. И опять-таки это свойство становится значимым только в случае, если управление весами входов и порогом может быть осуществлено достаточно просто.

Поскольку проводимость транзистора монотонно зависит от напряжения на его затворе, то очевидна простота, с которой может быть осуществлено управление весом входа в  $\beta$ -управляемых КМОП пороговых элементах [9, 10] (рис. 2).

На рис. 3 приведена зависимость тока (пропорционального  $\beta$ ) через пару транзисторов от напряжения на затворе управляющего транзистора  $V_i$  при пороговом напряжении на входе инвертора (1,75 В), полученная SPICE моделированием.

Заметим, что в схеме на рис. 2 мы несколько отошли от анонсированного вначале принципа

<sup>1</sup> Это, казалось бы, мелкое замечание оказывается весьма полезным для увеличения границ реализуемости [7].

$\beta$ -управляемой реализации, связанного с представлением пороговой функции в форме отношения. В схеме на рис. 2  $p$ -транзистор определяет только величину порогового тока.

Пороговый элемент реализует пороговую функцию, которая является монотонной. Однако, не все монотонные функции являются пороговыми. Уже для четырех переменных есть простейшая монотонная функция, которая не является пороговой, а именно:

$$y = x_0x_1 + x_2x_3. \quad (12)$$

Нетрудно видеть, что это функция описывает поведение двухвходового мультиплексора – схемы, очень важной во многих применениях. Монотонными, но не пороговыми, кстати, являются все функции, описывающие поведение  $k$ -входовых мультиплексоров. В этой работе мы попытаемся показать, что, используя достаточно простые дополнительные схемотехнические приемы, можно расширить функциональные возможности  $\beta$ -управляемых элементов до реализации произвольных монотонных функций.

### Пороговые элементы с функциональными входами

Прежде всего рассмотрим ряд функциональных и схемных примеров.

Схема на рис. 4, а реализует симметрическую монотонную функцию ранга 2

$$\begin{aligned} Y_1 &= x_0x_1 + x_0x_2 + x_0x_3 + x_0x_4 + x_1x_2 + \\ &+ x_1x_3 + x_1x_4 + x_2x_3 + x_2x_4 + x_3x_4 = \\ &= \text{Sign}(x_0 + x_1 + x_2 + x_3 + x_4 - 2). \end{aligned} \quad (13)$$

Разделим  $n$ -канальную часть схемы на два канала, включив в каждый из них стабилизатор тока, ограничивающий ток в канале единичным значением (рис. 4, б). При этом произойдет очевидное изменение функции (13):

$$Y_2 = \text{Sign}(x_0 + z_1 + z_2 - 2) = x_0z_1 + x_0z_2 + z_1z_2, \quad (14)$$

где  $z_1 = x_1 + x_2$  и  $z_2 = x_3 + x_4$ , откуда

$$\begin{aligned} Y_2 &= x_0x_1 + x_0x_2 + x_0x_3 + x_0x_4 + \\ &+ x_1x_3 + x_1x_4 + x_2x_3 + x_2x_4. \end{aligned} \quad (15)$$

Замечательным в этом примере является то, что функция  $Y_2$  (14) является монотонной, но не является пороговой.

Теперь рассмотрим реализацию функции, двойственной (13) (рис. 5, а):

$$\begin{aligned} Y_3 &= \text{Sign}(x_0 + x_1 + x_2 + x_3 + x_4 - 4) = \\ &= x_0x_1x_2x_3 + x_0x_1x_2x_4 + x_0x_1x_3x_4 + \\ &+ x_0x_2x_3x_4 + x_1x_2x_3x_4. \end{aligned} \quad (16)$$

Разделим  $p$ -цепь на два канала, включив в каждый из них стабилизатор тока, ограничивающий

ток в канале единичным значением (рис. 5, б). При этом, как и в первом случае (см. рис. 4, а), произойдет изменение реализуемой функции<sup>1</sup>:

$$Y_4 = \text{Sign}(x_0 + z_1 + z_2 - 2) = x_0z_1 + x_0z_2 + z_1z_2, \quad (17)$$

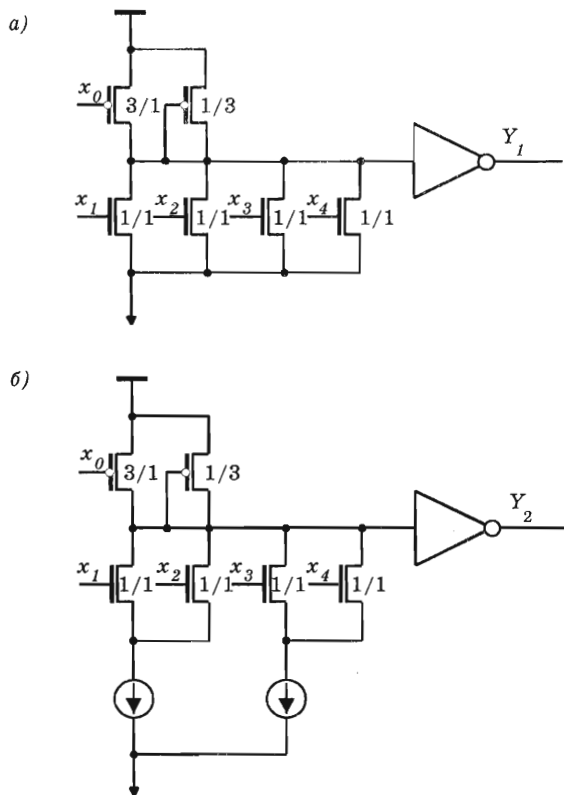
где  $z_1 = \overline{x_1 + x_2} = x_1x_2$  и  $z_2 = \overline{x_3 + x_4} = x_3x_4$ , следовательно

$$Y_4 = x_0x_1x_2 + x_0x_3x_4 + x_1x_2x_3x_4. \quad (18)$$

Опять заметим, что функция (18) монотонная, но не пороговая.

Из приведенных примеров видно, что, если выделить некоторое подмножество  $n$ -транзисторов, управляемых переменными  $x_j \in R_k$  и, используя стабилизатор тока, ограничить суммарный ток через это подмножество транзисторов единичным значением, то в формировании выходной функции все это подмножество переменных будет участвовать, как одна переменная

$$z_k = \bigvee_{x_j \in R_k} x_j. \quad (19)$$



■ Рис. 4. Реализация функции (13) (а) и реализация функции (14) (б)

<sup>1</sup> Заметим, что функция (17) совпадает с (14) в силу самодвойственности мажоритарной функции для нечетного числа переменных.

С другой стороны, если выделить некоторое подмножество  $p$ -транзисторов, управляемых переменными  $x_i \in R_m$  и, используя стабилизатор тока, ограничить суммарный ток через это подмножество транзисторов единичным значением, то в формировании выходной функции все это подмножество переменных будет участвовать как одна переменная

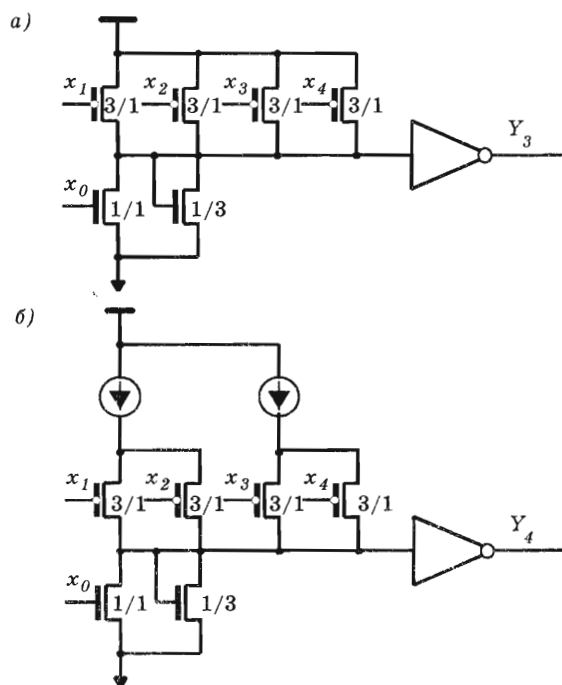
$$z_m = \bigvee_{x_i \in R_m} \overline{x_i} = \bigwedge_{x_i \in R_m} x_i. \quad (20)$$

Подмножество параллельных транзисторов, ток через которые ограничен стабилизатором тока и подмножество входов которых принимает участие в формировании выхода как одна переменная, мы будем называть функциональным входом.

Каков при этом смысл функционального входа? Ведь тоже самое может быть реализовано при помощи дополнительного И (ИЛИ) элемента. Это действительно так, однако, используя функциональные входы, мы сокращаем глубину схемы (задержку), потребляемую мощность (число элементов) и, правда в незначительной мере, число транзисторов.

Кроме того, возникает естественный вопрос: «Может ли произвольная монотонная функция быть реализована на одном пороговом элементе с функциональными входами?»

Для ответа на этот вопрос рассмотрим монотонную функцию



■ Рис. 5. Реализация функции (16) (а) и функции (17) (б)

$$F(X) = \bigvee_{j=0}^{k-1} c_j = \bigwedge_{i=0}^{m-1} d_i, \quad (21)$$

где  $c_j$  – множество конъюнкций в минимальной дизъюнктивной форме, а  $d_i$  – множество дизъюнкций в минимальной конъюнктивной форме функции  $F(X)$ . Пусть  $c_j$  и  $d_i$  –  $p$ - и  $n$ -функциональные входы соответственно. Тогда

$$F(X) = Rt \left( \frac{\sum_{j=0}^{k-1} \bar{c}_j + \delta}{k} \right) = Rt \left( \frac{m}{\sum_{i=0}^{m-1} d_i + \delta} \right). \quad (22)$$

Из формулы (22) следует лишь принципиальный положительный ответ на поставленный выше вопрос, не касаясь проблем реализуемости и сложности реализации. Здесь мы заметим только как преимущество предлагаемого схемного решения, что реализуемость не зависит от ранга конъюнкции (дизъюнкции), а зависит лишь от их числа в минимальной форме<sup>2</sup>.

### Стабилизация тока в функциональном входе

Стабилизатор порогового тока, состоящий из двух последовательно соединенных транзисторов, уже использовался нами в  $\beta$ -управляемых пороговых элементах [13–16]. Однако в этих работах стабилизатор тока применялся только для увеличения крутизны характеристики  $\beta$ -компаратора в точке переключения. Здесь же мы намерены использовать стабилизатор для формирования (ограничения) единичного рабочего тока и, следовательно, необходимо обеспечить более высокую степень стабилизации.

Казалось бы, что стабилизацию тока обеспечивает любой МОП-транзистор в режиме насыщения. Действительно, ток через транзистор  $T_1$  (рис. 6, а) при  $v_1 \geq V_{ref1} - V_{th}$  (режим насыщения) в соответствии с простейшим уравнением транзистора

$I_1 = \frac{\beta}{2}(V_{ref1} - V_{th})^2$  не зависит от  $v_1$ . Однако учет эффектов второго порядка опровергает это утверждение. На рис. 6, б приведены результаты SPICE моделирования (уровень 7) схемы (см. рис. 6, а) для  $n$ -транзисторов, модель которых взята из MOSIS:

```
«MOSIS PARAMETRIC TEST RESULTS
RUN: N82L
VENDOR: TSMC
```

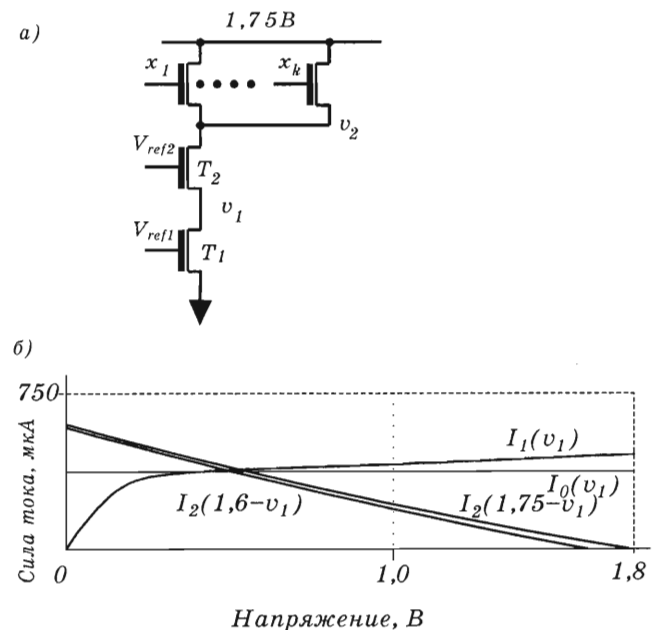
<sup>1</sup> Для монотонной функции обе минимальные формы единственны.

<sup>2</sup> Сказанное весьма напоминает проблему реализуемости для псевдо- $n$ -МОП ИЛИ-НЕ и псевдо- $p$ -МОП И-НЕ элементов [19].

TECHNOLOGY: SCN035H  
FEATURE SIZE: 0.4 microns  
DATE: 98 May 20  
LOT: N82L  
WAF: 97»

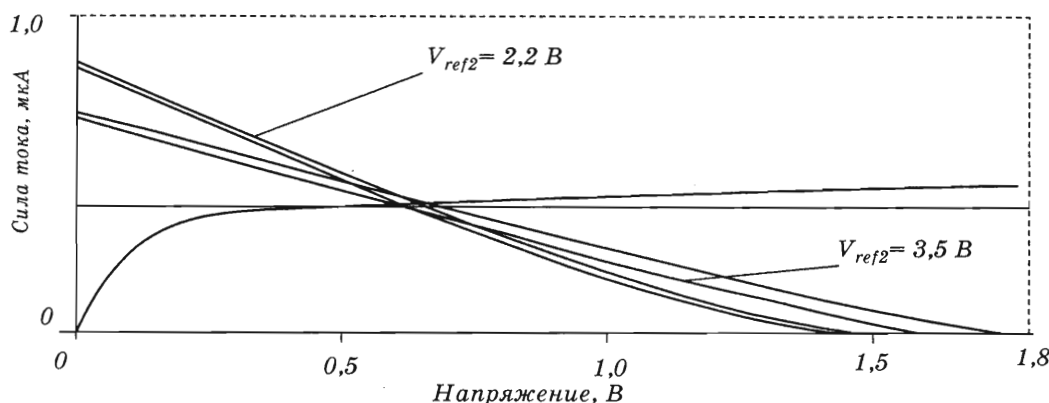
В эксперименте на участке насыщения  $dI_1(v_1)/dv_1 \approx 0,06$  мкА/мВ, что для  $\delta v_2 = 150$  мВ составляет 9 мкА или порядка  $\approx 2,5\%$  от единичного тока ( $I_0 = 380$  мкА). Предположим, что падение напряжения на функциональной части ( $1,75 \text{ В} - v_2$ ) при одном открытом  $p$ -транзисторе равно  $150 \text{ мВ}^3$  и уменьшается до нуля по мере роста числа открытых транзисторов. На рис. 6, б приведены две кривые для тока через  $T_2$  в зависимости от  $v$  при напряжениях на стабилизаторе тока  $1,75 \text{ В}$  и  $1,6 \text{ В}$  [ $I_2(1,75 - v_1)$  и  $I_2(1,6 - v_1)$  соответственно]. Пересечение этих кривых с кривой  $I_1(v_1)$  определяет токи, протекающие через стабилизатор при указанных напряжениях. Разброс токов при этом равен 3,8 мкА, т. е. 1%. Результат не выдающийся, но во многих применениях вполне удовлетворительный. Заметим опять, что поскольку  $\delta v_2$  зависит от ширины единичного функционального транзистора, а разброс токов зависит от  $\delta v_2$  то, в принципе, этот разброс за счет потери площади может быть снижен.

В эксперименте, результаты которого приведены на рис. 6, б,  $V_{ref1} = 0,855 \text{ В}$  и  $V_{ref2} = 3,5 \text{ В}$ . Эти значения выбраны нами экспериментально, исхо-



■ Рис. 6. Стабилизатор тока: а – схема функционального входа со стабилизатором тока на двух последовательных транзисторах; б – токовые характеристики стабилизатора

<sup>3</sup> Это напряжение может регулироваться выбором ширины транзистора.



■ Рис. 7. Поведение токового стабилизатора при  $\delta v_2 = 150$  мВ,  $V_{ref2} = 3,5$  В и  $V_{ref2} = 2,2$  В

дя из того, что по причинам, которые будут ясны ниже,  $V_{ref2} = 3,5$  В. Теперь рассмотрим вопрос о выборе установочных напряжений более детально.

Ток насыщения через транзистор  $T_1$  (и, следовательно, через стабилизатор) в рабочей точке (в режиме насыщения) должен быть равен единичному функциональному току, т. е.

$\frac{\beta_1}{2}(V_{ref1} - V_{th})^2 = I_0$ . Тогда из условия режима насыщения  $v_1 \geq V_{ref1} - V_{th}$  следует<sup>1</sup>

$$V_{ref1} \leq \sqrt{\frac{2I_0}{\beta_1}} + V_{th}. \quad (23)$$

Теперь рабочая точка определяется пересечением зависимостей токов в транзисторах  $T_1$   $I_1(v_1)$  и  $T_2$   $I_2(v_2 - v_1)$ . Точность стабилизации при этом зависит от крутизны  $I_2(v_2 - v_1)$  и  $I_2(v_2 - \delta v_2 - v_1)$  и расстояния между ними.  $I_2(v_2 - v_1) = 0$ , если с учетом эффекта подложки

$$V_{ref2} \leq V_{th} + v_1 + \sqrt{v_1}, \quad (24)$$

поэтому уменьшение  $V_{ref2}$  приводит к смещению начала кривой  $I_2(v_2 - v_1)$  влево. Для сохранения положения рабочей точки теперь необходимо увеличение крутизны характеристики транзистора ( $w, \beta$ ).

На рис. 7 приведены результаты SPICE-моделирования токового стабилизатора для двух значений  $V_{ref2} - 3,5$  и  $2,2$  В<sup>2</sup>. При этом для  $V_{ref2} = 2,2$  В разброс токов по сравнению с  $V_{ref2} = 3,5$  В уменьшился в два раза (1,9 мкА или 0,5 % для  $\delta v_2 = 150$  мВ).

Как следует из сказанного выше, характеристики токового стабилизатора при  $V_{ref2} = 2,2$  В луч-

ше, чем при  $V_{ref2} = 3,5$  В, однако использование в качестве  $V_{ref2}$  напряжения  $V_{dd}$  в ряде случаев<sup>3</sup> может быть оправдано.

Во-первых, чем выше  $V_{ref2}$ , тем меньше может быть ширина транзистора  $T_2$  в токовом стабилизаторе.

Во-вторых, вместо  $V_{ref2}$  может быть подана дополнительная переменная  $y$ . В этом случае поведение функционального входа в  $n$ -канальной части элемента, как это следует из формулы (19), описывается выражением

$$z_k = \left( \overline{V x_j} \right)_{x_j \in R_k} \cdot y; \quad (25)$$

и аналогично для функционального входа в  $p$ -канальной части элемента, как это следует из (20):

$$z_m = \left( \overline{V \bar{x}_i} \right)_{x_i \in R_m} \cdot \bar{y} = \& x_i + y. \quad (26)$$

Указанная модификация функционального входа не всеобъемлюща, но в ряде случаев может оказаться весьма полезной.

В том случае, если увеличение  $V_{ref2}$  по тем или иным причинам нежелательно, а изменение поведения функционального входа типа (25), (26) полезно, то для дополнительного входа  $y$  может быть использован преобразователь уровня на истоковом повторителе (рис. 8).

В схемах на рис. 8, а и б приведены преобразователи уровня для управляемых установочных напряжений для  $n$ - и  $p$ -функциональных входов соответственно. При этом для достаточно больших  $R$  выходное напряжение преобразователя, как это показано на рис. 8, зависит от установочных напряжений и порогов транзисторов с учетом эффекта подложки.

Вернемся, однако, к поведению функционального входа. На рис. 9 приведены результаты его SPICE-

<sup>1</sup> Для определения ограничений на установочное напряжение для нас вполне достаточна точность простейшего уравнения транзистора.

<sup>2</sup> Все остальные параметры моделирования те же, что и на рис. 6, б.

<sup>3</sup> Например, при сниженных требованиях к точности поддержания тока.

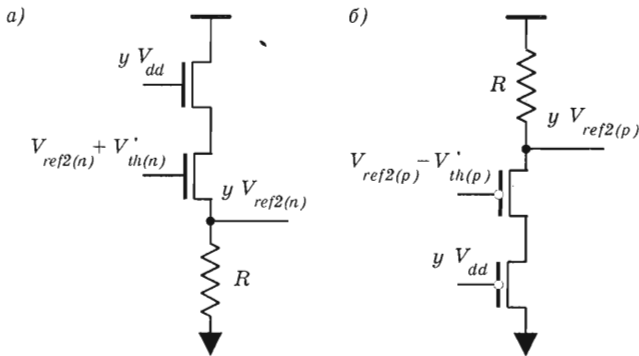


Рис. 8. Преобразователь уровня сигнала: а – на n-транзисторах; б – на p-транзисторах

моделирования. Моделировалось поведение функционального входа (ток через функциональный вход и падение напряжения на токовом стабилизаторе) в зависимости от числа открытых параллельных n-транзисторов при пороговом напряжении на выходе β-компаратора, равном 1,75 В. Темп включения транзисторов приведен в табл. 3.

Таблица 3. Моменты включения транзисторов

Время, нс	0	100	200	300	400	500	600
Число открытых транзисторов	0	1	3	7	15	31	63

Заметим, что в разных примерах SPICE-моделирования мы видим различные значения рабочего тока. Это естественно, так как ток через стабилизатор зависит от его параметров. С другой стороны, это сделано намеренно для того, чтобы обратить внимание на возможность вводить в пороговую функцию функциональную переменную с различными весами.

Параметрами функционального входа, определяющими протекающий через него ток, являются ширины функциональных транзисторов и согласованные с ними параметры стабилизатора тока (ширины транзисторов и установочных напряжений). При проектировании порогового элемента мы можем варьировать любые из указанных параметров. Однако, если мы хотим оперативно управлять весом функционального входа в процессе адаптации или обучения для создания искусственного нейрона с функциональными входами, то мы, по-видимому, можем эффективно воспользоваться только установочным напряжением.

Результаты моделирования (см. рис. 6, 7) наводят на мысль, что эффективное управление током через токовый стабилизатор может быть осуществлено путем изменения тока насыщения нижнего транзистора  $T_1$  изменением  $V_{ref1}$ , с сохранением неизменной вольт-амперной характеристики верхнего транзистора  $T_2$ . Характеристики управляемого токового стабилизатора, полученные SPICE-моделированием, приведены на рис. 10.

В данном эксперименте при изменении установочного напряжения от 0,73 до 1,3 В ток через токовый стабилизатор изменяется от 35 до 350 мкА (см. рис. 10). При изменении падения напряжения на токовом стабилизаторе  $\delta v_2 = 200$  мВ изменение тока варьируется от 0,3 до 1,5 мкА соответственно, т. е. не превышает 1 % от текущего значения тока во всем диапазоне.

На рис. 11 приведена зависимость тока через токовый стабилизатор от управляющего напряжения для тех же параметров схемы, что и на рис. 10. При изменении установочного напряжения от нуля до 1,4 В ток изменяется от нуля до 410 мкА с максимальным отклонением (для максимального тока) 3 мкА/200 мВ.

В приведенных выше примерах токовый стабилизатор включен между собственно функциональным входом и «землей». Однако, как это видно из

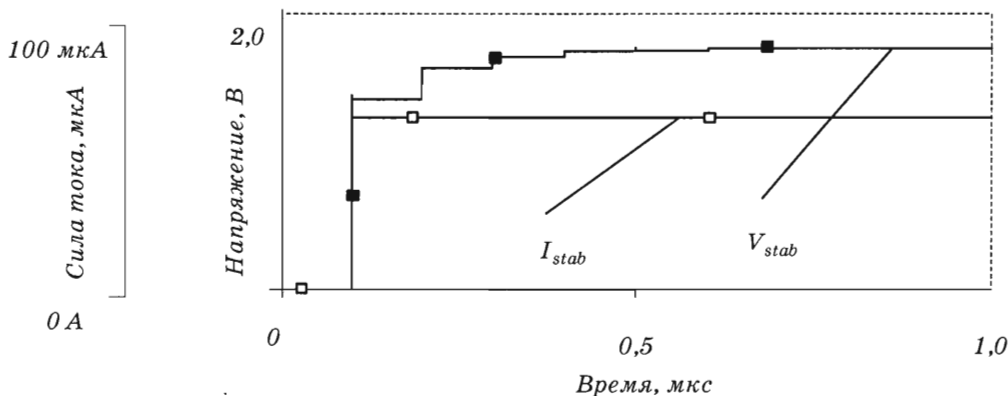
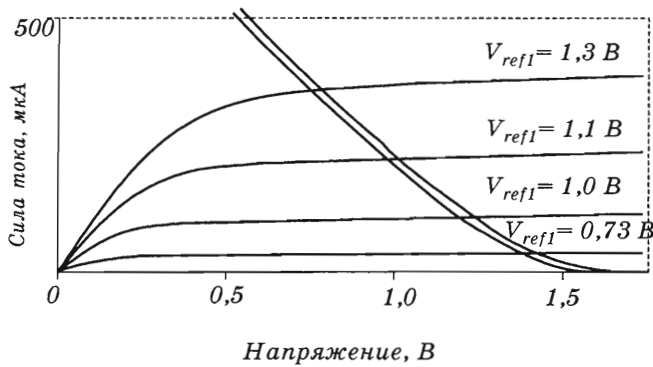
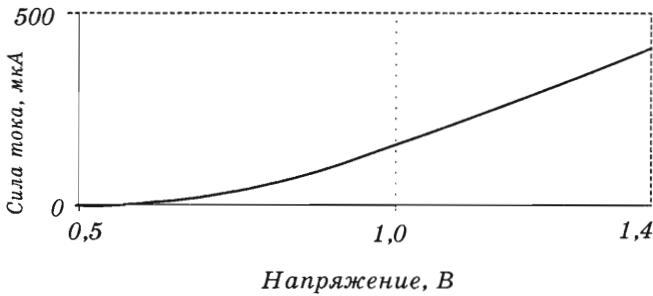


Рис. 9. Ток через токовый стабилизатор и падение напряжения на нем в зависимости от числа открытых транзисторов,  $\delta v_2 = 345$  мВ,  $\Delta I = 50$  нА ( $\approx 0,1$  %) : □ –  $\Delta I$ ; ■ –  $v_2$

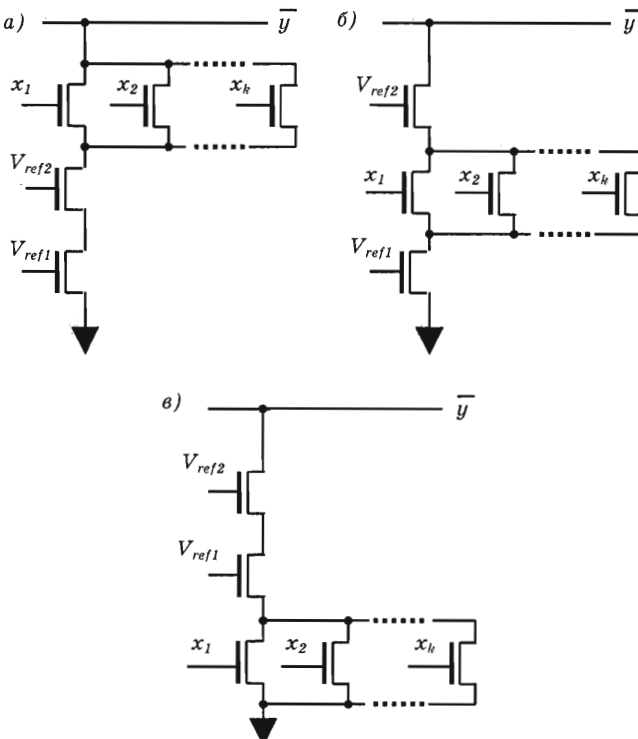




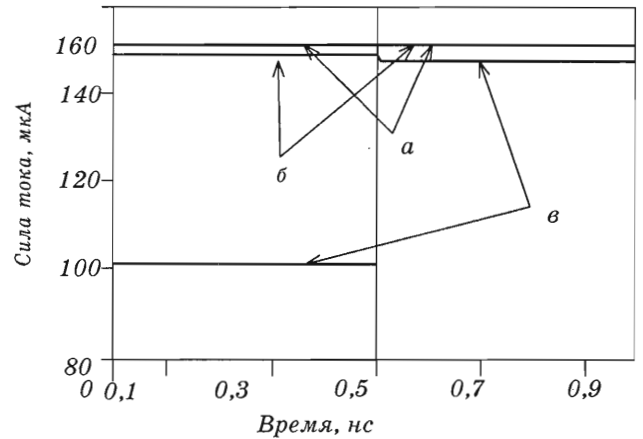
■ Рис. 10. Вольт-амперная характеристика управляемого токового стабилизатора (результаты SPICE-моделирования)



■ Рис. 11. Зависимость тока через токовый стабилизатор от  $V_{ref1}$



■ Рис. 12. Варианты включения токового стабилизатора



■ Рис. 13. Результаты SPICE-моделирования схем, представленных на рис. 12

рис. 12, существуют три возможности включения токового стабилизатора.

Не вдаваясь в пояснение возникающих эффектов, рассмотрим результаты SPICE-моделирования поведения трех схем (рис. 13), приведенных на рис. 12. В этих схемах параметры транзисторов и установочных напряжений одинаковы.

В эксперименте в начальный момент времени в каждом из функциональных входов (см. рис. 12) открыт один транзистор с единичной проводимостью. В момент времени 500 нс включается транзистор с проводимостью 20. При этом ток через токовый стабилизатор изменяется на 0,1; 2,4 и 46 мкА для схем на рис. 12, а, б и в соответственно. Из эксперимента ясно, что вариант включения токового стабилизатора на рис. 12, а, очевидно, более предпочтителен, чем варианты на рис. 12, б и в, хотя, безусловно, соответствующим выбором параметров характеристики стабилизации тока для схем на рис. 12, б и в могут быть улучшены.

Все сказанное выше относится к стабилизации тока в  $n$ -канальной части  $\beta$ -компаратора. Легко понять, что абсолютно аналогичные построения могут быть проведены и для  $p$ -канальной части.

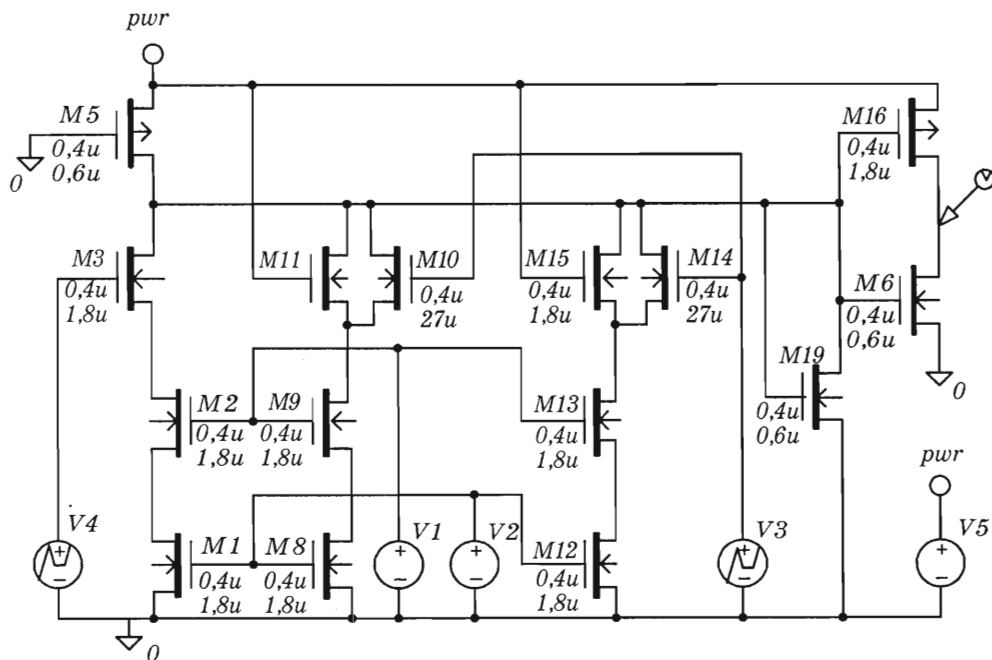
### Монте-Карло SPICE-моделирование

Задачей этого раздела является демонстрация реализуемости порогового элемента с функциональными входами. При этом мы не ставим цели детального анализа, оставляя это для следующей работы, посвященной данному предмету.

Рассмотрим пример порогового элемента с функциональными входами. Пусть имеется три функциональных входа

$$z_a = \bigvee_{j=1}^{k_a} a_j; \quad z_b = \bigvee_{j=1}^{k_b} b_j; \quad z_c = \bigvee_{j=1}^{k_c} c_j; \quad (27)$$

в пороговом элементе



■ Рис. 14. Схема для SPICE-моделирования функции (29)

$$Y = \text{Sign}(z_a + z_b + z_c + 3x - 3) = \text{Rt} \left( \frac{3\bar{x}}{z_a + z_b + z_c + \delta} \right) =$$

$$= x + z_a z_b z_c = x + \left( \prod_{j=1}^{k_a} a_j \right) \cdot \left( \prod_{j=1}^{k_b} b_j \right) \cdot \left( \prod_{j=1}^{k_c} c_j \right). \quad (28)$$

Решая вопрос реализуемости, нам достаточно исследовать поведение порогового элемента только на «критических» наборах значений переменных. Под «критическими» мы будем понимать наборы значений переменных, для которых минимальное изменение в наборе приводит к смене значений выхода порогового элемента. Рассмотрим критические наборы для функции (28).

Для обычной пороговой функции «критические» наборы, определяющие реализуемость порогового элемента, есть наборы, принадлежащие так называемым опорным множествам  $T_0$  и  $F_0$ ; где  $T_0$  – множество минимальных наборов значений переменных, для которых  $F(\Omega \in T_0) = 1$ ,  $F_0$  – множество максимальных наборов значений переменных, для которых  $F(\Omega \in F_0) = 0$ . Сами наборы определяются минимальными формами функции и ее инверсии [20]. Нетрудно понять, что сказанное справедливо не только для пороговых, но и для монотонных функций.

Для пороговой функции  $F(x, z_a, z_b, z_c)$  (28) опорными множествами являются  $T_0 = \{1, 0, 0, 0; 0, 1, 1, 1\}$  и  $F_0 = \{0, 1, 1, 0; 0, 1, 0, 1; 0, 0, 1, 1\}$ . Заметим, что в

силу симметрии функции (28) относительно переменных  $z_i$  для анализа реализуемости достаточно рассмотреть лишь переход  $(0, 1, 1, 1) \Leftrightarrow (0, 0, 1, 1)$ . Однако при наличии функциональных входов ориентировка на опорные множества недостаточна в силу того, что в зависимости от числа открытых транзисторов вклад переменных  $z_i$  в поведение  $\beta$ -компаратора будет различным.

Для оценки наборов значений исходных переменных  $a_j, b_j, c_j$  введем номера этих наборов в лексикографическом упорядочивании:

$$I(z_a) = \sum_{j=0}^{k_a-1} a_j 2^j; \quad I(z_b) = \sum_{j=0}^{k_b-1} b_j 2^j;$$

$$I(z_c) = \sum_{j=0}^{k_c-1} c_j 2^j. \quad (29)$$

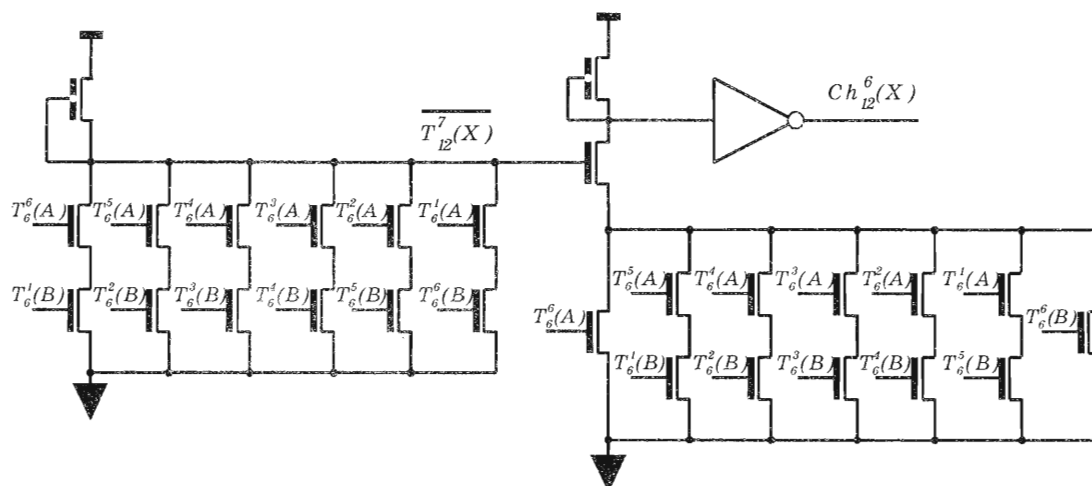
Полагая  $k_a = k_b = k_c = k$ , в силу симметрии вклада исходных переменных в соответствующие  $z_i$  нам достаточно рассмотреть поведение  $\beta$ -компаратора только на двух наборах<sup>1</sup>

$$(0, 1, 1, 1) \Leftrightarrow (0, 0, 2^k - 1, 2^k - 1).$$

$Y=1 \qquad \qquad \qquad Y=0$

Использованная для моделирования схема приведена на рис. 14, результаты моделирования – на рис. 15.

<sup>1</sup> Используемые здесь векторы соответствуют  $(x, I(z_a), I(z_b), I(z_c))$ .



■ Рис. 16. Реализация выходных каскадов чекера «6 и только 6 из 12»

$$Ch_{12}^6(x_0, x_1, \dots, x_{11}) = \text{Sign} \left( \sum_{j=0}^{11} x_j - 6 \right) \times \text{Sign} \left( \sum_{j=0}^{11} x_j - 7 \right) = T_{12}^6(X) \overline{T_{12}^7(X)}. \quad (32)$$

Для снижения требуемого значения порога разделим все множество переменных на два подмножества и введем обозначения

$$\begin{aligned} A &= \{x_0, x_1, x_2, x_3, x_4, x_5\}; \\ B &= \{x_6, x_7, x_8, x_9, x_{10}, x_{11}\}. \end{aligned} \quad (33)$$

Тогда

$$\begin{aligned} T_{12}^6(X) &= T_6^6(A) + T_6^5(A)T_6^1(B) + \\ &+ T_6^4(A)T_6^2(B) + T_6^3(A)T_6^3(B) + \\ &+ T_6^2(A)T_6^4(B) + T_6^1(A)T_6^5(B) + T_6^6(B) \end{aligned} \quad (34)$$

и аналогично

$$\begin{aligned} T_{12}^7(X) &= T_6^6(A)T_6^1(B) + T_6^5(A)T_6^2(B) + \\ &+ T_6^4(A)T_6^3(B) + T_6^3(A)T_6^4(B) + \\ &+ T_6^2(A)T_6^5(B) + T_6^1(A)T_6^6(B). \end{aligned} \quad (35)$$

Из формул (32)–(35) следует, что для реализации чекера «6 и только 6 из 12» достаточно реализовать двенадцать шестивходовых пороговых элементов, отвечающих указанному выше ограничению на порог, два пороговых элемента с функциональными входами, инверторы и один двухходовый вентиль «ИЛИ-НЕ».

Обратим, однако, внимание на возможность упрощения реализации этого чекера. На рис. 16 приведена схема, заменяющая пороговые элементы с функциональными входами. Правильнее было бы сказать, что на рис. 16 приведена еще одна возможность реализации порогового элемента с функциональными входами.

Мы не будем в этой работе подробно останавливаться на возникающих на этом пути дополнительных функциональных возможностях. Обратим внимание лишь на то, что такие возможности есть и они позволяют реализовать чекер «6 и только 6 из 12» с расходом оборудования, равным 136 транзисторам.

В заключение заметим, что все изложенное лишь указывает на существующие схемные возможности и реализуемость в кремнии, очевидно, потребует дополнительной работы.

### Литература

1. McCulloch S., Pitts W. A logical calculus of the ideas imminent in nervous activity // Bulletin of Mathematical Biophysics, – 1943. – 5. – P. 115–133.
2. Mead C. Analog VLSI and neural systems. – Addison-Wesley, 1989.
3. Shibata T., Ohmi T. Neuron MOS Binary-logic Integrated Circuits: Part 1, Design Fundamentals and Soft-hardware Logic Circuit Implementation // IEEE

Trans. Electron Devices. – 1993. – Vol. 40. – N 5. – P. 974–979.

4. Ohmi T., Shibata T., Kotani K. Four-terminal device concept for intelligence soft computing on silicon integrated circuits // Proc. of IIZUKA'96, 1996. – P. 49–59.
5. Fakhraie S. M., Smith K. C. VLSI-compatible implementations for artificial neural networks. – Kluwer, Boston-Dordrecht-London, – 1997.
6. Montalvo A., Gyurcsik R., Paulos J. Toward a general-purpose analog vlsi neural network with on-chip

- learning // IEEE Transactions on Neural Networks. – Vol. 8. – N 2. – March 1997. – P. 413–423.
7. Varshavsky V. Beta-driven threshold elements, Proceedings of the 8-th Great Lakes Symposium on VLSI// IEEE Computer Society. – Feb. 19–21, 1998. – P. 52–58.
  8. Varshavsky V. Threshold element and a design method for elements, filed to Japan's Patent Office. – Jan. 30, 1998, the application number is JPA H10-54079.
  9. Varshavsky V. Simple CMOS learnable threshold element, International ICSC/IFAC Symposium on Neural Computation. – Vienna, Austria, Sept. 23–25, 1998.
  10. Varshavsky V. CMOS artificial neuron on the base of beta-driven threshold element // IEEE International Conference on Systems, Man and Cybernetics, San Diego, CA, Oct. 11–14, 1998. – P. 1857–1861.
  11. Varshavsky V. Synapse, threshold circuit and neuron circuit, filed to Japan's Patent Office on Aug. 7, 1998, the application number is JPA-H10-224994.
  12. Varshavsky V. Threshold element, filed to Japan's Patent Office on Aug. 12, 1998, the application number is JPA-H10-228398.
  13. Varshavsky V., Marakhovsky V. Beta-CMOS implementation of artificial neuron, SPIE's 13th Annual International Symposium on Aerospace/Defense Sensing, Simulation, and Controls. Applications and Science of Computational Intelligence II, Orlando, Florida, April 5–8, 1999. – P. 210–221.
  14. Varshavsky V., Marakhovsky V. Beta-CMOS artificial neuron and implementability limits, Lecture Notes in Computer Science 1607, Engineering Applications of Bio-Inspired Artificial Neural Networks, Jose Mira, Juan V. Sanchez-Andves (Eds.)// Proceedings of International Work-Conference on Artificial and Natural Neural Networks (IWANN'99), Spain, June 2–4, Springer, Vol. 11, 1999. – P. 117–128.
  15. Varshavsky V., Marakhovsky V. The simple neuron CMOS implementation learnable to logical threshold functions // Proceedings of International Workshop on Soft Computing in Industry'99 (IWSCI'99), June 16–18, Muroran, Hokkaido, Japan, IEEE, 1999. – P. 463–468.
  16. Varshavsky V., Marakhovsky V. Implementability restrictions on the beta-CMOS Artificial Neuron, Proceedings of the 6th International Conference on Electronics, Circuits and Systems (ICECS'99), September 5–8, 1999, Pafos, Cyprus, IEEE, 1999. – P. 401–405.
  17. Varshavsky V., Marakhovsky V. Learning experiments with CMOS artificial neuron, Lecture Notes in Computer Science 1625, Computational Intelligence Theory and Applications, ed. by Bernard Reusch. Proceedings of the 6th Fuzzy Days International Conference on Computational Intelligence, Dortmund, Germany, May 25–27, Springer, 1999. – P. 706–707.
  18. Varshavsky V., Marakhovsky V. Non-isotonous beta-driven artificial neuron, Proceedings of SPIE. Applications and Science of Computational Intelligence III, 24–27 April, Orlando, Florida, Vol. 4055. 2000. – P. 250–257.
  19. Weste N. H. E., Eshraghian K. Principles of CMOS VLSI Design. A System Perspective, 2nd ed. – Addison-Wesley Reading, MA, 1993.
  20. Dertouzos M. L. Threshold logic: A synthesis approach – The MIT Press, Cambridge, MA, 1965.
  21. Verhoeff T. Delay-insensitive codes - an overview // Distributed Comput., 3, 1988. 1–8.