

УДК 681.3.07

ДЕКОДИРОВАНИЕ LDPC-КОДОВ В ДИСКРЕТНОМ КАНАЛЕ FLASH-ПАМЯТИ

А. В. Козлов,
аспирант

Санкт-Петербургский государственный университет аэрокосмического приборостроения

Рассматривается система коррекции ошибок в устройствах flash-памяти с многоуровневыми ячейками на основе LDPC-кодов. Предлагается метод выставления надежностей для битов ячейки памяти, основанный на разработанной модели flash-памяти. Продемонстрирована эффективность совместного использования данного метода и вероятностных LDPC-декодеров в сравнении с «жесткими» декодерами.

This paper presents a multilevel cell (MLC) Flash memory error correction system based on LDPC codes. A method of setting up cell bits reliability is described. This method was devised using a new discrete Flash memory model. The effectiveness of combined use of this method and probabilistic LDPC decoders was demonstrated comparing to hard decoders.

Введение

В устройствах flash-памяти с многоуровневыми ячейками (MLC flash-память) проблемы возникновения искажений во время записи/чтения, а также одновременного хранения становятся критичными для их надежности. В MLC-памяти на одном транзисторе с плавающим затвором хранится два бита информации с использованием четырех уровней порогового напряжения. Однако использование модуляций больших порядков ведет к более непредсказуемому программированию ячеек, менее надежному чтению и хранению. В связи с этим использование помехоустойчивых кодов для защиты данных становится необходимым [1–4]. Коды с низкой плотностью проверок на четность (LDPC) [5] показывают хорошие практические результаты при использовании вероятностного декодирования, однако в устройствах flash-памяти получение «мягкого» выхода канала для таких декодеров является непрактичным. В связи с этим встает задача декодирования LDPC-кодов в дискретном канале с использованием надежностей. В данной работе предлагается метод выставления надежностей, которые могут быть использованы при вероятностном декодировании LDPC-кодов.

Модель системы

Структура памяти

Рассмотрим ячейку MLC flash-памяти с четырьмя уровнями порогового напряжения L_0 , L_1 , L_2 , L_3 (рис. 1, а). Каждая такая ячейка хранит два информационных бита, а уровни L_0 , L_1 , L_2 , L_3

соответствуют информационным парам 11, 01, 00, 01. Несмотря на то что два информационных бита физически принадлежат к одной ячейке, исходя из структуры памяти, они лежат в разных логических страницах. С точки зрения кодирования, это означает, что старшие и младшие биты лежат в двух разных кодовых словах. Таким образом, физическая страница состоит из N ячеек (N — длина кодового слова) и из двух логических страниц и соответственно содержит в себе два кодовых слова. Физические страницы группируются в *блоки*, а ячейки в блоке на одних и тех же позициях кодовых слов группируются в *строки* (рис. 1, б). Важно отметить, что строки имеют единое электрическое соединение, поэтому при определенных условиях возможен сбой всей строки. С точки зрения возникновения ошибок, операции над flash-памятью могут быть разделены на три группы: записи, чтения и хранения. Рассмотрим их поочередно.

Ошибки записи

В устройствах flash-памяти помещение электронов на плавающий затвор (операция программирования или записи) является недостаточно предсказуемым. Операция записи осуществляется несколькими импульсами, при этом существует система контроля того, что ячейка имеет недостаточный уровень порогового напряжения, однако возможность контроля программирования сверх требуемого уровня отсутствует. Поэтому основным источником ошибок при записи является перепрограммирование ячеек в более высокий уровень порогового напряжения. Отдельно необходимо рассмотреть перепрограммирова-

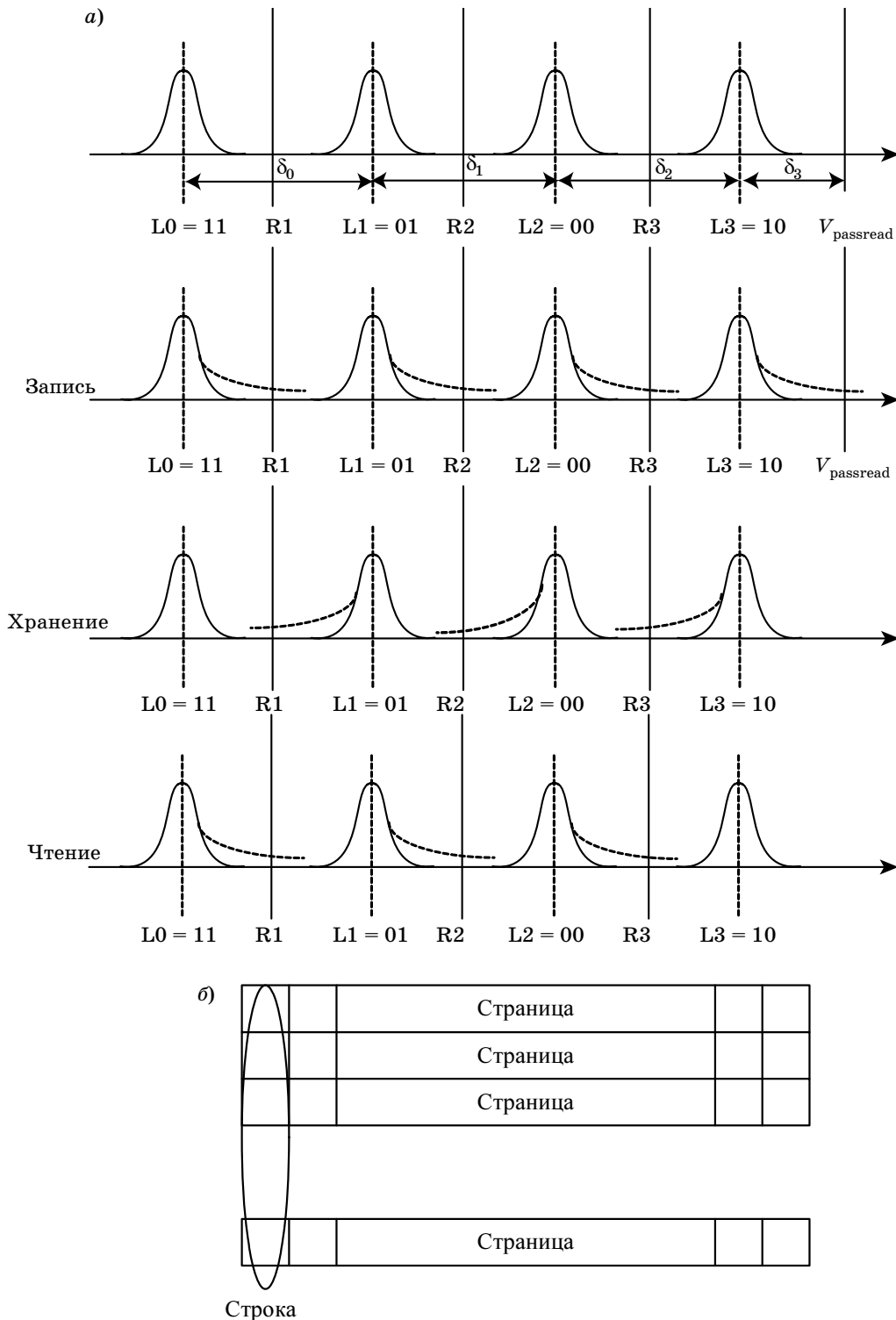


Рис. 1. Модель ячейки памяти (а) и структура блока памяти (б)

ние ячейки сверх уровня V_{passread} , это приводит к сбоям всей строки памяти в уровень L3, так как данная ситуация приводит к

блокировке тока в строке. Учитывая экспоненциальный характер (см. рис. 1, а) поведения функций плотности распределений для порогового напряжения, можно использовать следующую аппроксимацию для матрицы переходных вероятностей между уровнями:

$$WR = \begin{pmatrix} \approx 1 & W_{wr} & W_{wr} \exp\left(\frac{\beta(\delta_0 + \delta_1)}{2}\right) & W_{wr} \exp\left(\frac{\beta(\delta_0 + 2\delta_1 + \delta_2)}{2}\right) + Z_{wr} \\ \approx 0 & \approx 1 & X_{wr} & X_{wr} \exp\left(\frac{\beta(\delta_0 + \delta_1)}{2}\right) + Z_{wr} \\ \approx 0 & \approx 0 & \approx 1 & Y_{wr} + Z_{wr} \\ \approx 0 & \approx 0 & \approx 0 & \approx 1 \end{pmatrix},$$

где W_{wr} — вероятность перепрограммирования уровня L0 в L1; Z_{wr} — вероятность перепрограммирования в уровень L3 всей строки, которая выражается из вероятности p перепрограммирования сверх порогового напряжения $V_{passread}$ и размера строки S , $Z_{wr} = 1 - (1 - p)^S$, $p \sim cycles$; $cycles$ — это число циклов программирования/стирания для блока; Y_{wr} — вероятность перепрограммирования уровня L2 в L3; $W_{wr}, Y_{wr}, Z_{wr} \sim cycles$; X_{wr} — вероятность перепрограммирования уровня L1 в L2; β — параметр; δ_i — разности между средними значениями пороговых напряжений соседних уровней (см. рис. 1, а).

Ошибки хранения

Во время хранения у некоторых ячеек возможна утечка электронов с плавающего затвора под действием электрического поля ячейки с высоким уровнем порогового напряжения. Таким образом, некоторые ячейки теряют их заряд со временем. Данный механизм утечки ускоряется с ростом числа циклов программирования/стирания. Процесс хранения может быть описан следующей матрицей переходных вероятностей:

$$RET = \begin{pmatrix} \approx 1 & \approx 0 & \approx 0 & \approx 0 \\ \approx X_{ret} \exp\left(\frac{\beta(\delta_0 + 2\delta_1 + \delta_2)}{2}\right) & \approx 1 & \approx 0 & \approx 0 \\ \approx X_{ret} \exp\left(\frac{\beta(\delta_0 + 2\delta_1 + \delta_2)}{2}\right) & \approx X_{ret} \exp\left(\frac{\beta(\delta_1 + \delta_2)}{2}\right) & \approx 1 & \approx 0 \\ \approx X_{ret} \exp\left(\frac{\beta(\delta_0 + 2\delta_1 + \delta_2)}{2}\right) & \approx X_{ret} \exp\left(\frac{\beta(\delta_1 + \delta_2)}{2}\right) & \approx X_{ret} & \approx 1 \end{pmatrix},$$

где X_{ret} — вероятность перехода из уровня L3 в уровень L2 во время хранения; $X_{ret} \sim cycles \cdot time^\alpha$; $time$ — время хранения, ч, α — коэффициент ускорения утечки. Остальные вероятности перехода экспоненциально меньше вследствие того, что электрическое поле ячейки уменьшается пропорционально ее пороговому напряжению.

Ошибки чтения

Поданное напряжение чтения является причиной того, что свободные электроны могут попасть на плавающий затвор. Таким образом, некоторые ячейки могут заряжаться при их интенсивном чтении. Данный механизм, так же как и механизм утечки во время хранения, сильно ускоряется в зависимости от электрического поля. Так как направление поля в данном случае противоположно, наибольшее число ошибок происходит в ячейках с уровнем L0. Таким образом, процесс интенсивного чтения может быть описан следующей матрицей переходных вероятностей:

$$RD = \begin{pmatrix} \approx 1 & X_{rd} & X_{rd} \exp\left(\frac{\beta(\delta_0 + \delta_1)}{2}\right) & X_{rd} \exp\left(\frac{\beta(\delta_0 + 2\delta_1 + \delta_2)}{2}\right) \\ \approx 0 & \approx 1 & X_{rd} \exp\left(\frac{\beta(\delta_0 + \delta_1)}{2}\right) & X_{rd} \exp\left(\frac{\beta(\delta_0 + 2\delta_1 + \delta_2)}{2}\right) \\ \approx 0 & \approx 0 & \approx 1 & X_{rd} \exp\left(\frac{\beta(\delta_0 + 2\delta_1 + \delta_2)}{2}\right) \\ \approx 0 & \approx 0 & \approx 0 & \approx 1 \end{pmatrix},$$

где X_{rd} — вероятность перехода из уровня L0 в L1, $X_{rd} \sim cycles \times nreads^\gamma$; $nreads$ — число чтений, γ — коэффициент ускорения.

Выставление надежностей для битов ячейки

Вычисление надежностей из матриц переходных вероятностей

Для того чтобы вычислить логарифмы отношений правдоподобий для битов ячейки после полного цикла обращения (операции записи, хранения, чтения), вычислим матрицу переходных вероятностей P , которая содержит в себе вероятности переходов после всех трех операций. Для этого воспользуемся свойством, что произведение стохастических матриц — также стохастическая матрица:

$$P = WR \cdot RET \cdot RD.$$

Зная матрицу P и используя знание двоичных меток уровней (см. рис. 1, а), получим:

$$LLR_{msbL0} = \log\left(\frac{P_{11} + P_{41}}{P_{21} + P_{31}}\right);$$

$$LLR_{lsbL0} = \log\left(\frac{P_{11} + P_{21}}{P_{31} + P_{41}}\right);$$

$$LLR_{msbL1} = \log\left(\frac{P_{12} + P_{41}}{P_{22} + P_{32}}\right);$$

$$LLR_{lsbL1} = \log\left(\frac{P_{22} + P_{12}}{P_{32} + P_{42}}\right);$$

$$LLR_{msbL2} = \log\left(\frac{P_{13} + P_{43}}{P_{33} + P_{23}}\right);$$

$$LLR_{lsbL2} = \log\left(\frac{P_{12} + P_{13}}{P_{33} + P_{43}}\right);$$

$$LLR_{msbL3} = \log\left(\frac{P_{44} + P_{14}}{P_{24} + P_{34}}\right);$$

$$LLR_{lsbL3} = \log\left(\frac{P_{14} + P_{24}}{P_{44} + P_{34}}\right),$$

где LLR_{msbLi} и LLR_{lsbLi} — это логарифмы отношений правдоподобий для уровня L_i старшего и младшего бита соответственно.

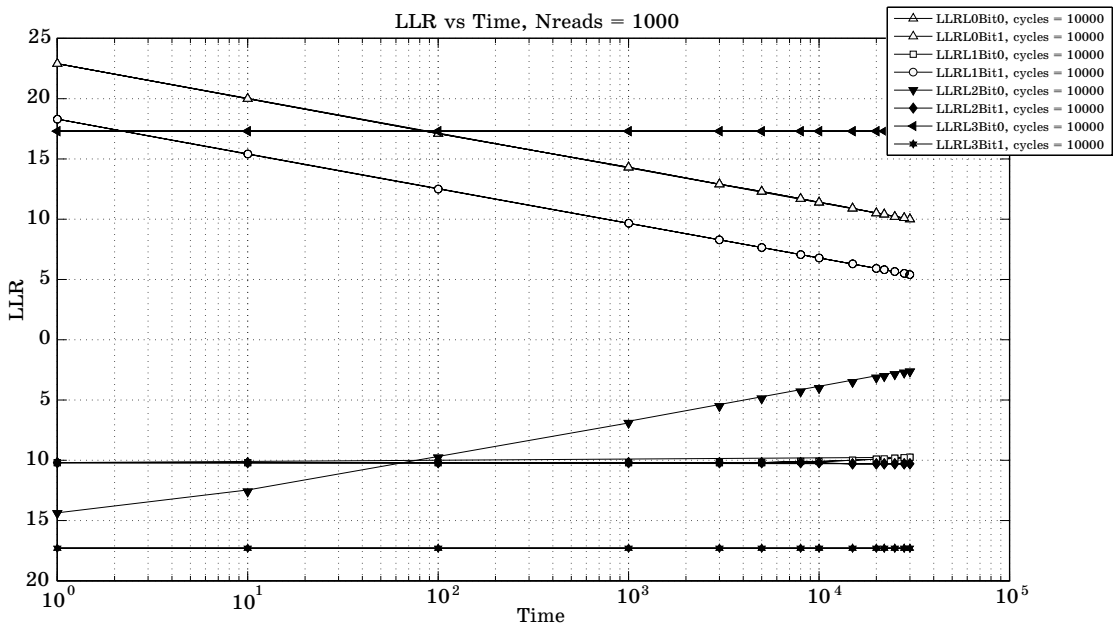
Упрощенное вычисление надежностей

В связи с тем, что вычисление логарифмов отношений правдоподобий, полученных по вышеописанному методу, имеет высокую сложность, в данной работе предлагается упрощенный метод вычисления надежностей. При вычислении логарифмов отношений правдоподобий можно пренебречь членами произведения вероятностей, порядок которых больше одного. Это позволяет получить следующие упрощенные выражения:

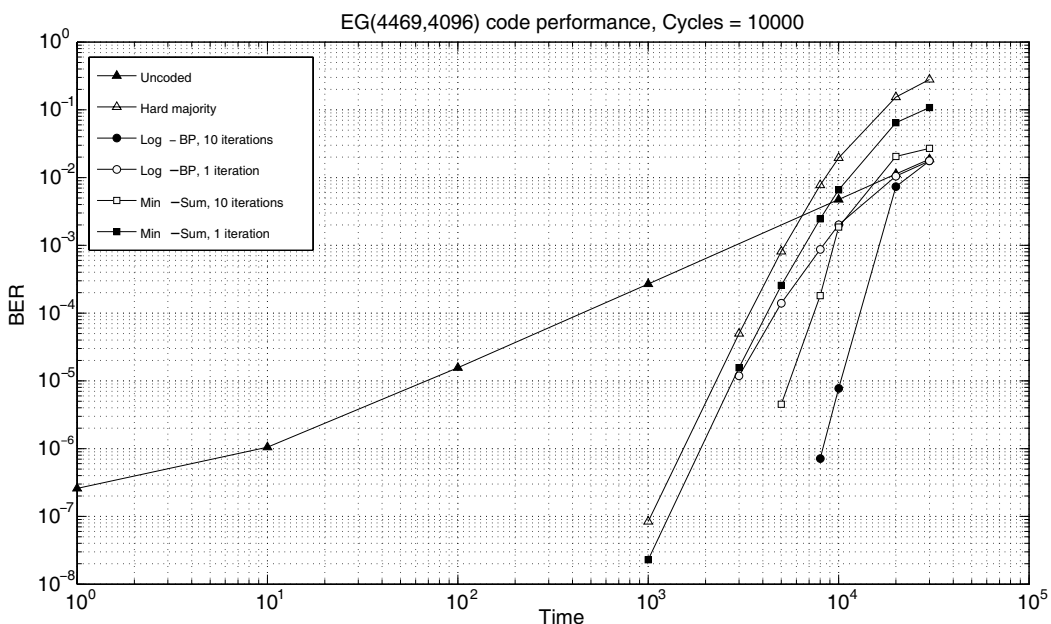
$$K_1 = \exp\left(\frac{\beta(\delta_0 + 2\delta_1 + \delta_2)}{2}\right);$$

$$K_2 = \exp\left(\frac{\beta(\delta_0 + \delta_1)}{2}\right);$$

$$K_3 = \exp\left(\frac{\beta(\delta_1 + \delta_2)}{2}\right);$$



■ Рис. 2. Зависимость надежностей от времени хранения



■ Рис. 3. Производительность кода EG (4469, 4096) с различными декодерами

$$LLR_{msbL0} = \log\left(\frac{K_1 X_{ret} + 1}{2K_1 X_{ret}}\right);$$

$$LLR_{lsbL0} = \log\left(\frac{K_1 X_{ret} + 1}{2K_1 X_{ret}}\right);$$

$$LLR_{msbL1} = \log\left(\frac{K_1 X_{ret} + W_{wr} + X_{rd}}{K_3 X_{ret} + 1}\right);$$

$$LLR_{lsbL1} = \log\left(\frac{W_{wr} + X_{rd} + 1}{2K_3 X_{ret}}\right);$$

$$LLR_{msbL2} = \log\left(\frac{K_2 X_{rd} + X_{ret}}{K_2 X_{rd} + W_{wr} + 1}\right);$$

$$LLR_{lsbL2} = \log\left(\frac{K_2 X_{rd} + W_{wr} + X_{rd}}{X_{ret} + 1}\right);$$

$$LLR_{msbL3} = \log\left(\frac{K_1(W_{wr} + X_{rd}) + Z_{wr} + 1}{K_3 X_{wr} + 2K_1 X_{rd} + 2Z_{wr} + Y_{wr}}\right);$$

$$LLR_{lsbL3} = \log\left(\frac{K_1(W_{wr} + 2X_{rd}) + K_3 X_{wr} + 2Z_{wr}}{K_1 X_{rd} + Z_{wr} + Y_{wr} + 1}\right).$$

В качестве примера на рис. 2 показана зависимость надежностей битов от времени хранения.

Литература

1. A New Reliability Model for Post-Cycling Charge Retention of Flash Memories / Hanmant P. Belgal et al // Annual International Reliability Physics Symposium. Dallas. Texas, 2002. P. 7–20.
2. Multi-Level Memory Systems Using Error Control Codes / Hsie-Chia Chang et al // IEEE ISCAS. 2004. P. 393–396.
3. Fei Sun, Siddharth Devarajan, Ken Rose, and Tong Zhang. Multilevel Flash Memory On-Chip Error

Результаты моделирования

Для того чтобы продемонстрировать эффективность предложенного метода выставления надежностей, были промоделированы различные декодеры LDPC-кодов. Рис. 3 иллюстрирует производительность евклидово-геометрического LDPC-кода (4469, 4096) с различными «жесткими» и «мягкими» декодерами. Как видно из графиков вероятности ошибки, использование «мягких» декодеров совместно с предложенным методом выставления надежностей дает выигрыш порядка 3,5–4 раза по времени хранения по сравнению с «жесткими» декодерами. Аналогичные выигрыши могут быть получены в терминах числа циклов программирования/стирания и числа чтений.

Заключение

В данной работе был предложен метод выставления надежностей для прочитанных бит из flash-памяти. Данный метод получен с использованием разработанной дискретной модели flash-памяти. Результаты моделирования показывают, что применение вероятностных декодеров LDPC-кодов совместно с информацией о надежностях позволяет добиться значительного выигрыша.

Correction Based on Trellis Coded Modulation // IEEE ISCAS. 2006. P. 1443–1446.

4. Stefano Gregori, Alessandro Cabrini, Osama Khouri, and Guido Torelli. On-Chip Error Correcting Techniques for New-Generation Flash Memories // Proceedings of the IEEE. April 2003. Vol. 91. N 4. P. 602–616.
5. Галлагер Р. Дж. Коды с малой плотностью проверок на четность. М.: Мир, 1966. 144 с.