

УДК 681.314

МОДИФИЦИРОВАННЫЕ АЛГОРИТМЫ И КЛАССИФИКАЦИЯ АНАЛОГО-ЦИФРОВЫХ ПРЕОБРАЗОВАТЕЛЕЙ

Часть 1: Параллельно-последовательные алгоритмы

Э. П. Тихонов,

канд. техн. наук, доцент

Санкт-Петербургский государственный электротехнический университет «ЛЭТИ»

Предложено аналитическое описание различных модификаций алгоритмов аналого-цифровых преобразователей, включая мажоритарный и нейронноподобный принцип обработки информации, на базе которых выполнен сравнительный анализ их свойств, доведенных до численных результатов, и разработана классификационная схема аналого-цифровых преобразователей.

Ключевые слова — преобразователь аналог-код, параллельно-последовательный алгоритм, древовидный фрактал, конвейерный преобразователь, параллельный преобразователь.

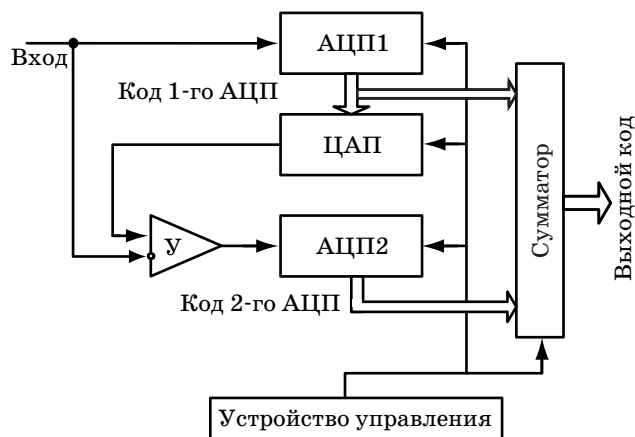
Эволюция алгоритмов аналого-цифрового преобразования неразрывно связана с процессом совершенствования структур аналого-цифровых преобразователей (АЦП), причем развитие этих процессов взаимодополняющее. Стремление максимально приспособить алгоритм аналого-цифрового преобразования к современным требованиям информационных технологий, а также к процессу совершенствования электронных компонентов, из которых состоит схема АЦП, для улучшения в целом технических средств обработки информации приводит к поиску новых принципов построения АЦП. Типичным примером является возникновение параллельно-последовательных структур АЦП на основе известных алгоритмов поразрядного уравнивания или в комбинации с чисто параллельными АЦП [1–3], а также алгоритмов сигма-дельта АЦП [4, 5]. Поиск способов преодоления недостатков, ограничивающих возможности по быстродействию алгоритмов последовательного типа, с одной стороны, и связанных с ограничениями по точности и сложности реализации алгоритмов параллельного типа, с другой стороны, привел к созданию новых параллельно-последовательных структур АЦП. Алгоритмы, лежащие в основе новых АЦП, в литературе называются многокаскадными или с циклическим уточнением. Встречаются также иные названия этих алгоритмов: многотактные (многоступенчатые), поддиапазонные алгоритмы, а также, с учетом их некоторой модифика-

ции, конвейерные алгоритмы и, соответственно, конвейерные АЦП. Причем, если в структуре АЦП используются только два диапазона, то такой АЦП называется двухтактным, если используются три диапазона, то — трехтактными и т. д. Вариации в терминологии, в частности многотактных алгоритмов, алгоритмов конвейерного типа, вводятся для привязки этого названия к определенным модификациям технического решения фактически одного и того же алгоритма, главным отличительным признаком которого являются параллельно-последовательные действия в процессе аналого-цифрового преобразования. Преимуществом подобных алгоритмов является существенное повышение быстродействия при сохранении высокой точности аналого-цифрового преобразования в том случае, когда при преобразовании в каждом или хотя бы в одном цикле преобразования используется алгоритм и, следовательно, АЦП параллельного типа. Параллельно-последовательные алгоритмы позволяют решить проблему значительного увеличения быстродействия без существенного усложнения схемы, свойственного АЦП параллельного типа, в котором при увеличении числа разрядов нелинейно по степенному закону возрастает сложность реализации схемы и, следовательно, стоимость АЦП. В этом случае переход к двухтактному АЦП позволяет применить два однотипных параллельных АЦП либо комбинированно использовать один параллельный АЦП, а второй —

АЦП поразрядного уравнивания, что, несомненно, приводит к существенному сокращению времени преобразования.

В предлагаемой работе, в развитие работ [1–4, 6], представлены в математической форме и исследованы методами имитационного моделирования алгоритмы многотактных АЦП, а также алгоритмы с дополнительной обработкой функции сравнения. Формальная или математическая запись алгоритмов аналого-цифрового преобразования в виде отображений существенно расширяет возможности по синтезу новых алгоритмов, так как позволяет в комбинации математических методов и методов имитационного моделирования без существенных затрат создавать и исследовать новые, более совершенные алгоритмы, приспособив для их технической реализации современные электронные технологии. Алгоритмы, представленные ниже в математической форме, предполагают использование в многотактных АЦП алгоритмов поразрядного уравнивания. Однако их легко можно модифицировать для применения в каждом цикле различных по виду алгоритмов преобразования.

Один из возможных простейших вариантов известной структурной схемы двухтактного АЦП показан на рис. 1. В соответствии с приведенной схемой входной сигнал одновременно подается на вход первого N -разрядного АЦП1 и вычитающий вход усилителя $У$ с коэффициентом усиления, равным 2^N . Выходной код АЦП1 параллельно поступает на входы высокоточного ЦАП (цифроаналогового преобразователя) и N старших разрядов сумматора. Преобразованный в аналоговую форму ЦАП N -разрядный код АЦП1 по сигналу устройства управления поступает на вычитающий вход усилителя $У$. Усиленная в 2^N раз



■ Рис. 1. Структурная схема параллельно-последовательного (двухступенчатого) АЦП

разность между входным сигналом и выходным напряжением ЦАП вновь преобразуется в цифровой код АЦП2 и записывается по сигналу устройства управления в N младших разрядах сумматора. Результат суммирования кода АЦП2, деленного на делитель 2^N , с кодом АЦП1 по сигналу управления считывается на выходе сумматора и, таким образом, образует выходной $2N$ -разрядный двоичный код. При этом входной сигнал может поступать на входы АЦП1 и усилителя $У$ через устройство выборки и хранения (УВХ). Синхронизация и автоматическое управление всей схемой двухтактного АЦП осуществляется устройством управления, куда входит также и тактовый генератор.

Двухтактный алгоритм в аналитическом виде при использовании алгоритма поразрядного уравнивания с индикаторной функцией сравнения [1] в каждом цикле преобразования имеет вид

$$E(n\Delta t) = E[(n - 1)\Delta t] + a_n h [x - E[(n - 1)\Delta t] - a_n],$$

$$n = 1, \dots, N;$$

$$E(n\Delta t) = E[(n - 1)\Delta t] + a_n h \{ [x - E(N\Delta t)] 2^N - E[(n - 1)\Delta t] - a_n \},$$

$$n = N + 1, \dots, 2N, \quad (1)$$

а при использовании алгоритма со знаковой функцией сравнения [1] получаем соответственно

$$E(n\Delta t) = E[(n - 1)\Delta t] + a_n \text{sign}[x - E[(n - 1)\Delta t]],$$

$$n = 1, \dots, N;$$

$$E(n\Delta t) = E[(n - 1)\Delta t] + a_n \text{sign}\{ [x - E(N\Delta t)] 2^N - E[(n - 1)\Delta t] \},$$

$$n = N + 1, \dots, 2N. \quad (2)$$

Окончательный результат выводится путем суммирования кодов:

$$K(2N\Delta t) = K(N\Delta t) + K(2N\Delta t)/2^N,$$

где $E[(n + 1)\Delta t]$ и $E(n\Delta t)$ — уравнивающая физическая величина, или просто уравнивающая величина (напряжение, ток, сопротивление и т. п.), на $(n + 1)$ -м и n -м тактах преобразования (сравнения или уравнивания) для каждого цикла преобразования; n — текущее значение (номер) временного такта уравнивания, причем $n = 1, \dots, N$; N — число двоичных разрядов; Δt — временной такт, через который осуществляется сравнение входного сигнала с уравнивающей величиной на n -м такте сравнения (временной такт уравнивания); a_n — заданная последовательность, определяющая закон изменения уравнивающей ве-

личины в зависимости от изменения n , причем $a_n = E_0 2^{-n}$; E_0 — заданный диапазон изменения уравнивающей величины; x — входной сигнал с ограничением $x \leq E_0$ (обычно входной сигнал y , если пренебречь его изменением во времени на интервале преобразования, равен сумме собственно сигнала x и случайной аддитивной помехи ξ , т. е. $y = x + \xi$); $K(N\Delta t)$ и $K(2N\Delta t)$ — кодовые эквиваленты уравнивающей величины на соответствующем такте уравнивания, т. е. $\Delta q K(N\Delta t) = E(N\Delta t)$ и $\Delta q K(2N\Delta t) = E(2N\Delta t)$; Δq — величина кванта, определяющего число уровней квантования входного сигнала в пределах диапазона изменения E_0 ; $h[x - E(n\Delta t) - a_n]$ и $\text{sign}[x - E(n\Delta t)]$ — функции сравнения входного сигнала y с уравнивающей величиной $E(n\Delta t)$ для $n = 1, 2, \dots$. Эти функции имеют следующий вид [1]:

$$h\{\dots\} = \begin{cases} 1 & \text{при } x \geq E[(n-1)\Delta t] + a_n; \\ 0 & \text{при } x \leq E[(n-1)\Delta t] + a_n; \end{cases}$$

$$\text{sign} = \begin{cases} 1 & \text{при } x \geq E[(n-1)\Delta t] \\ -1 & \text{при } x \leq E[(n-1)\Delta t] \end{cases}.$$

Напомним, что функция сравнения описывает работу реального сравнивающего устройства (СУ) [6]. Первую индикаторную функцию сравнения можно также выразить через вторую знаковую функцию сравнения в соответствии с формулой

$$h(x) = 0,5(1 + \text{sign}(x)).$$

Как вытекает из полученных выражений (1) и (2), вид двухтактного алгоритма усложняется по сравнению с исходными алгоритмами поразрядного уравнивания. Такое усложнение алгоритма приводит к естественному усложнению исходной структуры АЦП поразрядного уравнивания. Структура АЦП, которая реализует рассмотренный выше двухтактный алгоритм, приобретает вид, указанный на рис. 1. В настоящее время известны серийные микросхемы АЦП, например **AD872A** и **AD876** фирмы **ANALOG DEVICES** с числом $k = 2$.

Если число тактов (поддиапазонов, циклов) в каждом цикле преобразования увеличить до $k > 2$ значений, но в каждом такте преобразования оставить одно и то же число разрядов N , то алгоритм усложняется и описывается системой

$$E(n_i \Delta t) = E[(n_i - 1)\Delta t] + \varphi\{x, E[(n_i - 1)\Delta t], 2^{(i-1)N}, a_n\},$$

$$i = 1, 2, \dots, k, \quad (3)$$

где

$$\varphi\{x, E[(n_i - 1)\Delta t], 2^{(i-1)N}, a_n\} = \begin{cases} a_n h\{x, E[(n_i - 1)\Delta t], 2^{(i-1)N}, a_n\} \\ a_n \text{sign}\{x, E[(n_i - 1)\Delta t], 2^{(i-1)N}\} \end{cases}$$

приобретает соответствующую форму для индикаторной или знаковой функции сравнения, причем для $n_1 = 1, \dots, N$; $n_2 = N + 1, \dots, 2N$; ...; $n_k = (k-1)N + 1, (k-1)N + 2, \dots, kN$; здесь n_i — число тактов уравнивания в i -м цикле преобразования k -го диапазона; $k = 1, \dots, L$, здесь L — установленное число поддиапазонов (тактов) в полном цикле аналого-цифрового преобразования; $a_n = E_0 2^{-n}$, $n = 1, 2, \dots, N$; $N = \text{const}$. Результатом преобразования является значение кода

$$K(k\Delta t N) = \sum_{i=0}^{k-1} \frac{K[(i+1)\Delta t N]}{2^{iN}}.$$

В дальнейшем алгоритмы с индикаторной или знаковой функцией сравнения в зависимости от значения параметра k будем называть двухтактными, трехтактными и т. д. индикаторными или знаковыми алгоритмами аналого-цифрового преобразования соответственно.

Алгоритм многоступенчатого преобразования (3) может несколько измениться в зависимости от числа разрядов, устанавливаемых в каждом такте (ступени) преобразования, что приведет к несовпадению числа разрядов и соответствующих коэффициентов усиления результатов вычитания в каждом цикле преобразования. Действительно, если при k тактах преобразования на каждом такте преобразования число разрядов будет меняться и зависит от k , т. е. принимать значения N_k , то алгоритм усложняется и приобретает вид системы уравнений в конечных разностях

$$E(n_i \Delta t) = E[(n_i - 1)\Delta t] + \varphi\left\{x, E[(n_i - 1)\Delta t], 2^{\sum_{m=0}^{i-1} N_m}, a_{ni}\right\},$$

$$i = 1, 2, \dots, k, \quad (4)$$

где $n_1 = N_0 + 1, \dots, N_1$; $n_2 = N_1 + 1, \dots, N_1 + N_2$; ...; $n_k = N_1 + \dots + N_{k-1} + 1, \dots, N_1 + \dots + N_{k-1} + N_k$; $N_0 = 0$;

$$a_{ni} = E_0 2^{-ni}, \quad ni = 1, 2, \dots, N_i.$$

Результатом преобразования является значение кода

$$K\left(\Delta t \sum_{i=1}^k N_i\right) = \sum_{i=0}^{k-1} \frac{K\left(\Delta t \sum_{m=1}^{i+1} N_m\right)}{2^{\sum_{m=0}^i N_m}}$$

Для $k = 1$, т. е. для однократного алгоритма, в данном случае алгоритма поразрядного уравнивания, получаем

$$\begin{aligned} K[N_1 \Delta t] &= \sum_{i=0}^0 \frac{K\left[\sum_{m=1}^{i+1} \Delta t N_m\right]}{2^{\sum_{m=0}^i N_i}} = \\ &= \frac{K[\Delta t N_1]}{2^{N_0}} = K[\Delta t N_1], \end{aligned}$$

так как $N_0 = 0$.

Для двухтактного алгоритма при $k = 2$ получаем

$$\begin{aligned} K[\Delta t (N_1 + N_2)] &= \sum_{i=0}^1 \frac{K\left[\sum_{m=1}^{i+1} \Delta t N_m\right]}{2^{\sum_{m=0}^i N_i}} = \\ &= K[\Delta t N_1] + \frac{K[\Delta t (N_1 + N_2)]}{2^{N_1}} \end{aligned}$$

и так далее.

Алгоритм (4) в явном виде, например для индикаторной функции сравнения при числе установленных тактов L в полном цикле поразрядного преобразования, раскрывается следующим образом:

$$\begin{aligned} E\left[\left(\sum_{i=1}^{k-1} N_i + n_k + 1\right) \Delta t\right] &= E\left[\left(\sum_{i=1}^{k-1} N_i + n_k\right) \Delta t\right] + \\ &+ \frac{E_0}{2^{n_k}} h \left[2^{\sum_{i=1}^{k-1} N_i} x - \sum_{j=1}^{k-1} 2^{\sum_{i=j}^{k-1} N_i} E\left[\sum_{i=1}^j N_i \Delta t\right] - \right. \\ &\left. - E\left[\left(\sum_{i=1}^{k-1} N_i + n_k\right) \Delta t\right] - \frac{E_0}{2^{n_k}} \right], \quad k = 1, 2, \dots, L, \end{aligned}$$

т. е. описывается системой итерационных алгоритмов L -го порядка и легко трансформируется в алгоритм вида (3) для $N_i = N = \text{const}$. При этом

следует иметь в виду, что $\sum_{i=1}^0 \theta_i = 0$, $2^{\sum_{i=1}^0 N_i} = 2^0$.

Параметр L определяет структурную схему АЦП и для $N_i = N = \text{const}$ и $L = 2$ соответствует структурной схеме, приведенной на рис. 1.

Промышленно выпускаются также АЦП, построенные на основе алгоритмов многотактного

преобразования, у которых допускается временное перекрытие кодов в каждом такте преобразования. Такие алгоритмы с определенной модификацией целесообразно использовать в АЦП конвейерного типа, которые имеют преимущество по быстродействию при преобразовании, в том числе для изменяющегося во времени входного сигнала [3]. Подобные модифицированные АЦП рассмотрены ниже. При числе разрядов p_i , на которое перекрываются коды в каждом i -м такте преобразования, алгоритм (3) представляется в виде

$$\begin{aligned} E(n_i \Delta t) &= E[(n_i - 1) \Delta t] + \\ &+ \varphi\left\{x, E[(n_i - 1) \Delta t], 2^{\sum_{m=0}^{i-1} N_m - p_m}, a_{ni}\right\}, \\ & \quad i = 1, 2, \dots, k, \end{aligned} \tag{5}$$

где $n_1 = N_0 + 1, \dots, N_0 + N_1; n_2 = N_0 + N_1 + 1, \dots, N_1 + N_2; \dots; n_k = N_0 + N_1 + \dots + N_{k-1} + 1, \dots, N_0 + N_1 + \dots + N_{k-1} + N_k; N_0 = 0; p_0 = 0, 0 \leq p_i < N_i; a_{ni} = E_0 2^{-ni}, i = 1, 2, \dots, k$.

Результатом преобразования является значение кода

$$K\left(\Delta t \sum_{i=1}^k N_i\right) = \sum_{i=0}^{k-1} \frac{K\left(\Delta t \sum_{m=1}^{i+1} N_m\right)}{2^{\sum_{m=0}^i N_m - p_m}}$$

Для двухтактного алгоритма при $k = 2$ получаем

$$\begin{aligned} E(n_1 \Delta t) &= E[(n_1 - 1) \Delta t] + \\ &+ \varphi\left\{x, E[(n_1 - 1) \Delta t], a_{n_1}\right\}, \\ & \quad i = 1; \quad n_1 = N_0 + 1, \dots, N_1; \\ E(n_2 \Delta t) &= E[(n_2 - 1) \Delta t] + \\ &+ \varphi\left\{x, E[(n_2 - 1) \Delta t], 2^{N_1 - p_1}, a_{n_2}\right\}, \\ & \quad i = 2; \quad n_2 = N_1 + 1, \dots, N_1 + N_2; \end{aligned}$$

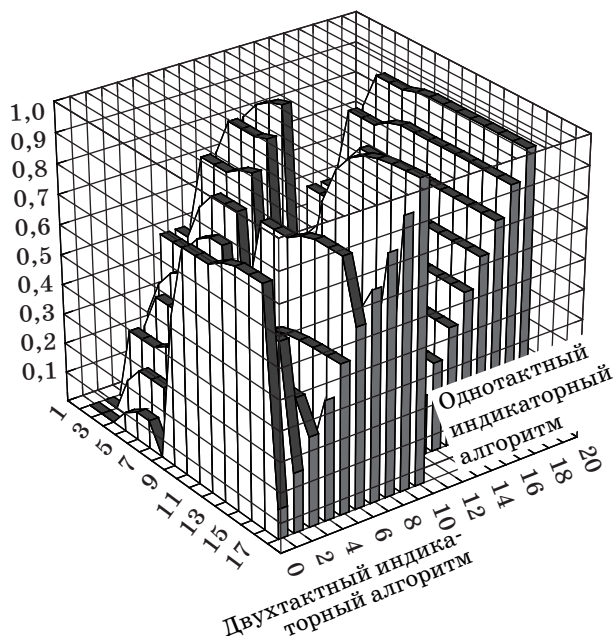
$$\begin{aligned} K[\Delta t (N_1 + N_2)] &= \sum_{i=0}^1 \frac{K\left[\sum_{m=1}^{i+1} \Delta t N_m\right]}{2^{\sum_{m=0}^i N_i - p_i}} = \\ &= K[\Delta t N_1] + \frac{K[\Delta t (N_1 + N_2)]}{2^{N_1 - p_1}} \end{aligned}$$

и так далее.

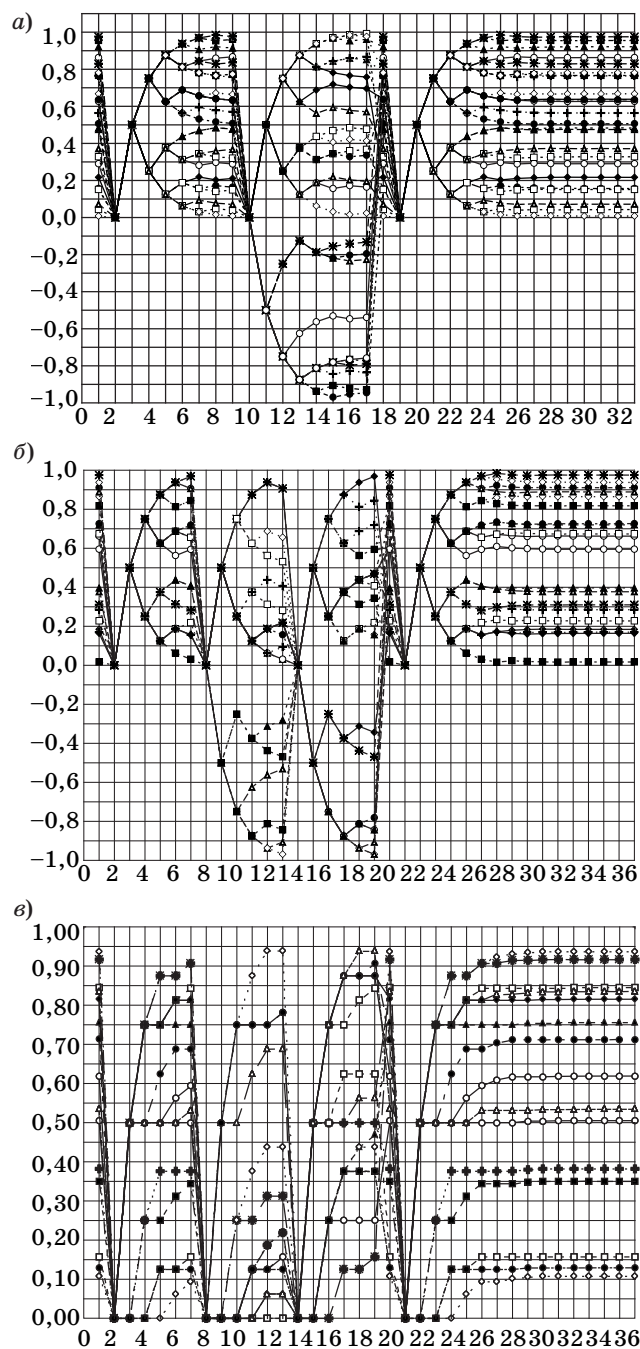
Исследуем представленные алгоритмы посредством моделирования. Для того чтобы выяснить, имеют ли многотактные алгоритмы допол-

нительные преимущества по сравнению с обычными алгоритмами поразрядного уравнивания, проведем их сравнительный анализ при одном и том же числе разрядов преобразования. Рассмотрим динамику уравнивающей величины для двухтактного индикаторного алгоритма аналого-цифрового преобразования и сравним ее с соответствующей динамикой обычного, фактически одноктактного или индикаторного алгоритма [1].

На рис. 2 показаны 3-мерные графики, полученные в результате моделирования одноктактного и двухтактного индикаторных алгоритмов преобразования при различных, одинаковых для обоих алгоритмов, значениях входного постоянного сигнала в отсутствие помех. На рис. 3, а—в представлены в виде древовидного фрактала графики процесса преобразования входного сигнала, изменяющегося случайно от преобразования к преобразованию и остающегося постоянным в процессе преобразования различными алгоритмами аналого-цифрового преобразования. Первая позиция графиков соответствует значениям входного сигнала, одинаковым для обоих рассматриваемых алгоритмов. Значения входного сигнала распределены в пределах диапазона преобразования от 0 до 1 по равномерному закону распределения вероятностей. Графики рис. 3, а и б



■ Рис. 2. Сравнение результатов преобразования 15-разрядными (разряды отложены по оси x) индикаторными алгоритмами: поразрядного уравнивания и двухтактным — разных значений входного сигнала, изменяющихся дискретно с шагом 0,15 от 0,15 до 1,5; позиция 17 по оси x соответствует операции суммирования для двухтактного индикаторного алгоритма



■ Рис. 3. Процесс преобразования входного, изменяющегося случайно от преобразования к преобразованию постоянного сигнала с равномерным законом распределения: а — 14-разрядными знаковыми алгоритмами аналого-цифрового преобразования: позиции 2–18 — двухтактный алгоритм; позиции 19–33 — одноктактный алгоритм; б — 15-разрядными знаковыми алгоритмами аналого-цифрового преобразования: позиции 2–20 — трехтактный алгоритм; позиции 21–36 — одноктактный алгоритм; в — 15-разрядными индикаторными алгоритмами аналого-цифрового преобразования: позиции 2–20 — трехтактный алгоритм; позиции 21–36 — одноктактный алгоритм

получены по результатам преобразования для 20 случаев, рис. 3, в — для 15 случаев.

Моделирование показало, что среднеквадратические ошибки (СКО) погрешности остаются равными (в пределах статистической погрешности моделирования) для постоянного сигнала и при воздействии одинаковой аддитивной помехи. На рис. 4, а, б для сравнения представлены графики, характеризующие процесс преобразования синусоидального сигнала в код для различных типов алгоритмов. Как следует из сравнения алгоритмов, двухтактный алгоритм практически не имеет преимуществ по точности при одинаковом числе разрядов по сравнению с обычным алгоритмом поразрядного уравнивания.

Если использовать в многотактном алгоритме АЦП алгоритм параллельного типа [3], то для исследования необходимо представить этот алгоритм также в аналитическом виде. Особенность алгоритма параллельного типа и реализующего его АЦП, представленного на рис. 5, состоит в том, что входной сигнал одновременно сравнивается в $2^N - 1$ СУ с аналогичным количеством уровней уравнивающей величины, формируемой из источника опорного напряжения E_0 посредством делителя, собранного на сопротивлениях R . Результаты параллельного сравнения входного сигнала с уравнивающими величинами за один такт преобразуются также параллельно в специальном электронном устройстве — приоритетном шифраторе — в двоичный выходной код.

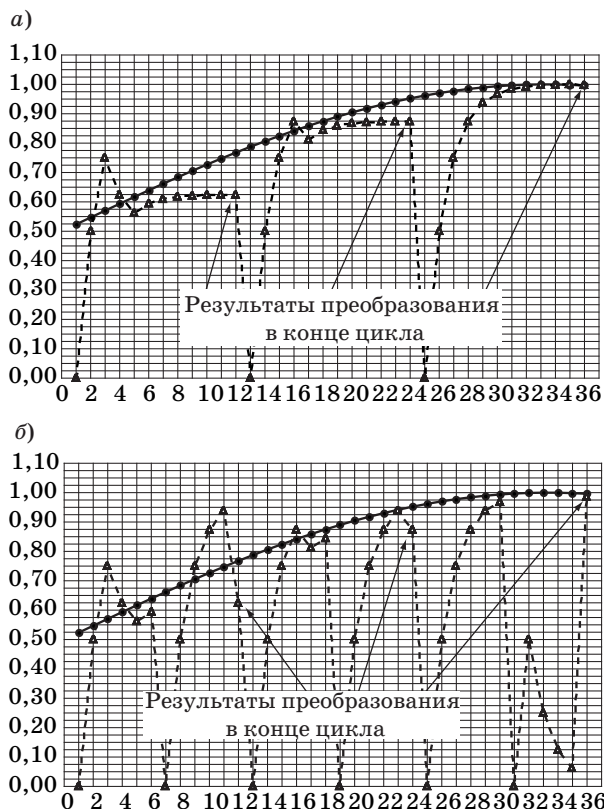
В математической форме операцию параллельного преобразования можно представить в виде

$$K(\Delta t) = H \left\{ \bar{h} \left[x - E_0 \sum_{i=1}^N a_i 2^{-i} \right] \right\}, \quad (6)$$

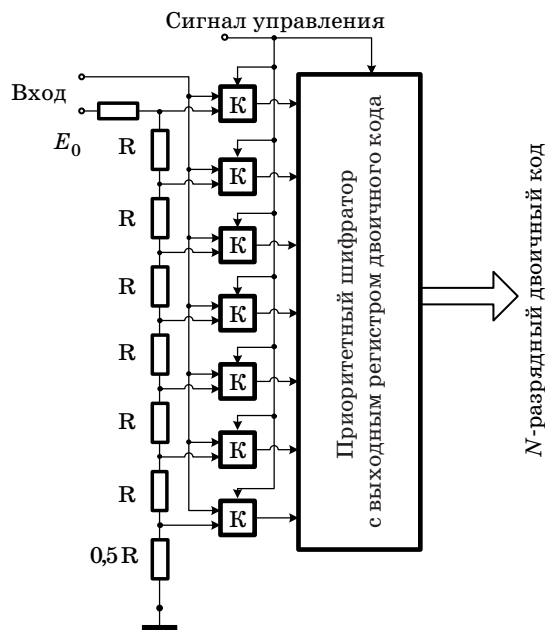
где a_i для индекса $i = 1, 2, \dots, N$ принимает последовательно значения 1 или 0 по результатам сравнения в соответствии с нарастанием двоичного кода на 1 от 0 до 2^N , поэтому

$$\bar{h} \left[x - E_0 \sum_{i=1}^N a_i 2^{-i} \right] = \begin{cases} 0 \\ h[x - E_0 2^{-N}] \\ h[x - E_0 2^{-N+1}] \\ \cdot \\ \cdot \\ h \left[x - E_0 \sum_{i=1}^N 2^{-i} \right] \end{cases},$$

$H\{\dots\}$ — оператор, описывающий функцию приоритетного шифратора результатов сравнения,



■ Рис. 4. Процесс преобразования входного синусоидального сигнала: а — в двоичный 11-разрядный код посредством знакового алгоритма поразрядного уравнивания; б — в двоичный 10-разрядный код посредством двухтактного алгоритма: ● — входной сигнал; —▲ — результат преобразования



■ Рис. 5. Структурная схема АЦП параллельного типа; К — компараторы, реализующие индикаторную функцию сравнения

которая выполняется в течение временного такта Δt , формируемого сигналом управления.

Как следует из формулы (6), с увеличением числа разрядов двоичного кода на разряд количество СУ и, следовательно, сложность приоритетного шифратора удваивается. Это и является основной причиной, сдерживающей рост числа разрядов в АЦП параллельного типа и переход к схемам параллельно-последовательного типа, дальнейшим техническим совершенствованием которых являются параллельно-последовательные АЦП конвейерного типа.

Особенностью схемы рис. 6, в отличие от схемы, приведенной на рис. 1, является то [4], что в ней имеется два блока УВХ, назначение которых состоит в следующем. Поскольку общее время преобразования в течение одного цикла разбито на два временных подынтервала, в каждом из которых осуществляется одновременно процесс аналого-цифрового преобразования различными АЦП, то, естественно, можно организовать их параллельную работу по конвейерному принципу. Этот принцип заключается в том, что пока в АЦП2 осуществляется процесс преобразования, с АЦП1 считывается результат предыдущего преобразования в буферный регистр, происходит запоминание в блоке УВХ1 следующего значения входного сигнала и выполнение нового преобразования. Процесс нового преобразования в АЦП1 несколько сдвинут на короткое время относительно начала процесса преобразования АЦП2 для выполнения на фиксированном интервале Δt следующих операций: считывания результата предыдущего преобразования с АЦП1 в буферный регистр и в регистр ЦАП; подготовки к следующему преобразованию АЦП1 («сброс»

в исходное состояние); операций на аналоговом сумматоре-усилителе; запуска УВХ1 и УВХ2 и, наконец, запуска на преобразование АЦП1 и АЦП2. Однако по величине суммарный сдвиг Δt от перечисленных вспомогательных операций значительно меньше, чем общее время преобразования в каждом АЦП, участвующем в полном цикле аналого-цифрового преобразования. Для компенсации этого временного сдвига и уравнивания времени преобразования в каждом АЦП АЦП2 имеет большее число разрядов по сравнению с АЦП1. Эта разница в разрядности позволяет также на цифровом сумматоре с коррекцией выполнять суммирование кодов с усреднением и тем самым улучшать не только динамические свойства АЦП, а и дополнительно его помехоустойчивость. Подключение УВХ2 к входному сигналу можно осуществить различными способами (см. рис. 6).

Аналого-цифровые преобразователи конвейерного типа имеют определенное преимущество по быстродействию при преобразовании, в том числе при преобразовании изменяющегося во времени входного сигнала, даже при использовании в АЦП1 и АЦП2 алгоритмов последовательного действия типа поразрядного уравнивания. При числе разрядов p_i , на которое перекрываются коды в каждом i -м цикле преобразования, алгоритм для конвейерного АЦП представляется в виде

$$E(n_i \Delta t) = E[(n_i - 1) \Delta t] + \phi \left[x, E[(n_i - 1) \Delta t], 2^{\sum_{m=0}^{i-1} N_m - p_m}, a_{ni} \right],$$

$$i = 1, 2, \dots, k, \quad (7)$$

где $n_1 = N_0 - r_0 + 1, \dots, N_0 - r_0 + N_1; n_2 = N_1 - r_0 + 1, \dots, N_1 - r_1 + N_2; \dots; n_k = N_2 - r_0 + \dots + N_{k-1} + 1, \dots, N_1 + \dots + N_{k-1} + N_k; N_0 = 0; p_0 = 0, 0 \leq p_i < N_i; k = 1, \dots, L$ — число установленных тактов преобразования; $a_{ni} = E_0 2^{ni}, ni = 1, 2, \dots, N_i; n_1 = N_0 - r_0 + 1, \dots, N_0 - r_0 + N_1; n_2 = N_1 - r_0 + 1, \dots, N_1 - r_1 + N_2; \dots; n_k = N_1 - r_1 + 1, \dots, N_{k-1} - r_{k-1} + N_k$ — число тактов сравнения в соответствующем поддиапазоне; r_i — число перекрывающихся временных тактов уравнивания в i -м поддиапазоне преобразования; $N_0 = 0; p_0 = 0, r_0 = 0; k = 1, \dots, L$. Результатом преобразования является значение кода

$$K \left(\Delta t \sum_{i=1}^k N_i - r_{i-1} \right) = \sum_{i=0}^{k-1} \frac{K \left(\Delta t \sum_{m=1}^{i+1} N_m - r_{m-1} \right)}{2^{\sum_{m=0}^i N_m - p_m}}$$

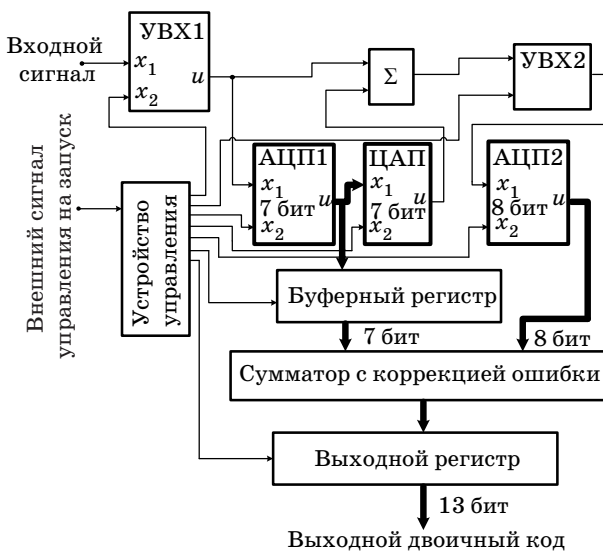


Рис. 6. Структурная схема параллельно-последовательного АЦП конвейерного типа

Для двухтактного алгоритма при $k = 2$ получаем

$$E(n_1 \Delta t) = E[(n_1 - 1) \Delta t] + \varphi\{x, E[(n_1 - 1) \Delta t], a_n\},$$

$$i = 1; n_1 = N_0 + 1, \dots, N_1;$$

$$E(n_2 \Delta t) = E[(n_2 - 1) \Delta t] + \varphi\{x, E[(n_2 - 1) \Delta t], 2^{N_1 - p_1}, a_n\},$$

$$i = 2; n_2 = N_1 + 1, \dots, N_1 + N_2;$$

$$K[\Delta t(N_1 + N_2 - r_1)] = \sum_{i=0}^1 \frac{K \left[\sum_{m=1}^{i+1} \Delta t(N_m - r_{m-1}) \right]}{2^{\sum_{m=0}^i N_m - p_m}} =$$

$$= K[\Delta t N_1] + \frac{K[\Delta t(N_2 - r_1)]}{2^{N_1 - p_1}}$$

и так далее.

Алгоритм, представленный формулой (7), при соответствующем выборе параметров L , p и r трансформируется в алгоритмы (1)–(5) и последовательный алгоритм поразрядного уравновешивания и, таким образом, иллюстрирует динами-

ку творческой мысли инженеров в исторический период развития цифровой электроники, охватывающий вторую половину прошлого века.

Литература

1. Тихонов Э. П. Аналитико-имитационное исследование и оптимизация алгоритмов аналого-цифрового преобразования в условиях воздействия помех // Информационно-управляющие системы. 2007. № 2 (27). Ч. 1. С. 12–21; № 3 (28). Ч. 2. С. 2–14.
2. Романов О. Обзор новых АЦП компании ANALOG DEVICES // Электронные компоненты. 2004. № 2. С. 33–35.
3. Аналого-цифровые преобразователи: http://www.gaw.ru/html.cgi/txt/doc/adc/adc_4_2.htm
4. Сигма-дельта АЦП фирмы Analog Devices // Электронные компоненты и системы. Киев: VD MAIS. Май 1996. С. 20–25.
5. Тихонов Э. П. Алгоритмическое описание и сравнительный анализ свойств сигма-дельта АЦП // Информационно-управляющие системы. 2007. № 4 (29). Ч. 1. С. 2–12; № 5 (30). Ч. 2. С. 2–13.
6. Юдич М. З. Аналоговые сравнивающие устройства. М.: Машиностроение, 1984. 96 с.